



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 3 月 2 8 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 0 9 1 7 2 9
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 0 9 1 7 2 9]

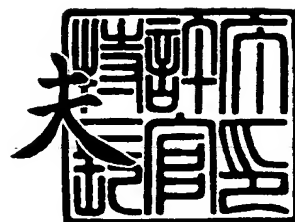
出 願 人 T D K 株 式 会 社
Applicant(s):



2 0 0 4 年 2 月 1 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 4 - 3 0 0 8 7 4 3

【書類名】 特許願

【整理番号】 99P04914

【提出日】 平成15年 3月28日

【あて先】 特許庁長官殿

【国際特許分類】 H02M 3/00

【発明者】

【住所又は居所】 東京都中央区日本橋一丁目13番1号 ティーディーケイ株式会社内

【氏名】 松浦 研

【発明者】

【住所又は居所】 東京都中央区日本橋一丁目13番1号 ティーディーケイ株式会社内

【氏名】 上松 武

【発明者】

【住所又は居所】 東京都中央区日本橋一丁目13番1号 ティーディーケイ株式会社内

【氏名】 川崎 浩司

【発明者】

【住所又は居所】 東京都中央区日本橋一丁目13番1号 ティーディーケイ株式会社内

【氏名】 今井 考一

【発明者】

【住所又は居所】 東京都中央区日本橋一丁目13番1号 ティーディーケイ株式会社内

【氏名】 三浦 幸一郎

【特許出願人】

【識別番号】 000003067

【氏名又は名称】 ティーディーケイ株式会社

【代理人】

【識別番号】 100088155

【弁理士】

【氏名又は名称】 長谷川 芳樹

【選任した代理人】

【識別番号】 100092657

【弁理士】

【氏名又は名称】 寺崎 史朗

【選任した代理人】

【識別番号】 100108213

【弁理士】

【氏名又は名称】 阿部 豊隆

【手数料の表示】

【予納台帳番号】 014708

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 スイッチング電源装置用制御装置およびスイッチング電源装置

【特許請求の範囲】

【請求項 1】 スイッチング電源装置のスイッチング素子を制御するための駆動信号を、当該スイッチング電源装置に対して出力するスイッチング電源装置用制御装置であって、

前記駆動信号の時比率に対応する信号に含まれる低周波成分を遮断するハイパスフィルタと、

前記ハイパスフィルタにより低周波成分が遮断された信号を積分する積分手段と、

前記駆動信号の時比率に対応する信号に基づいて前記時比率を平均化する平均化手段と、

前記平均化手段により平均化された前記時比率に対応する信号および前記スイッチング電源装置における出力電圧の目標電圧を示す信号に基づいて利得調整値を算出する利得調整値算出手段と、

前記スイッチング電源装置の出力電圧および前記目標電圧の差分を示す信号と前記利得調整値算出手段により算出された利得調整値に対応する信号とを乗算する乗算手段と、

前記乗算手段により乗算された信号と前記平均化手段により平均化された前記時比率に対応する信号と前記積分手段により積分された信号とを加算する加算手段と、

前記加算手段により加算された信号、およびランプ信号に基づいて前記駆動信号を生成する駆動信号生成手段と、

を備えることを特徴とするスイッチング電源装置用制御装置。

【請求項 2】 前記ハイパスフィルタは、二次のハイパスフィルタであることを特徴とする請求項 1 記載のスイッチング電源装置用制御装置。

【請求項 3】 スイッチング電源装置のスイッチング素子を制御するための駆動信号を、当該スイッチング電源装置に対して出力するスイッチング電源装置用制御装置であって、

前記駆動信号の時比率に対応する信号を演算し、ハイパスフィルタ機能および積分機能を融合させた演算手段と、

前記駆動信号の時比率に対応する信号に基づいて前記時比率を平均化する平均化手段と、

前記平均化手段により平均化された前記時比率に対応する信号および前記スイッチング電源装置における出力電圧の目標電圧を示す信号に基づいて利得調整値を算出する利得調整値算出手段と、

前記スイッチング電源装置の出力電圧および前記目標電圧の差分を示す信号と前記利得調整値算出手段により算出された利得調整値に対応する信号とを乗算する乗算手段と、

前記乗算手段により乗算された信号と前記平均化手段により平均化された前記時比率に対応する信号と前記演算手段により演算された信号とを加算する加算手段と、

前記加算手段により加算された信号、およびランプ信号に基づいて前記駆動信号を生成する駆動信号生成手段と、

を備えることを特徴とするスイッチング電源装置用制御装置。

【請求項 4】 前記演算手段は、当該演算手段の伝達関数 $H(Z)$ が $1 / (1 - b * Z^{-1})$ (b は係数)

であることを特徴とする請求項 3 記載のスイッチング電源装置用制御装置。

【請求項 5】 前記演算手段は、当該演算手段の伝達関数 $H(Z)$ が $(1 - Z^{-1}) / [(1 - b_1 * Z^{-1}) (1 - b_2 * Z^{-1})]$ (b_1, b_2 は係数)

であることを特徴とする請求項 3 記載のスイッチング電源装置用制御装置。

【請求項 6】 スイッチング電源装置のスイッチング素子を制御するための駆動信号を、当該スイッチング電源装置に対して出力するスイッチング電源装置用制御装置であって、

前記駆動信号の時比率に対応する信号に含まれる低周波成分を遮断する第一のハイパスフィルタと、

前記第一のハイパスフィルタにより低周波成分を遮断された信号を積分する積

分手段と、

前記積分手段により積分された信号に含まれる低周波成分を遮断する第二のハイパスフィルタと、

前記駆動信号の時比率に対応する信号に基づいて前記時比率を平均化する平均化手段と、

前記平均化手段により平均化された前記時比率に対応する信号および前記スイッチング電源装置における出力電圧の目標電圧を示す信号に基づいて利得調整値を算出する利得調整値算出手段と、

前記スイッチング電源装置の出力電圧および前記目標電圧の差分を示す信号と前記利得調整値算出手段により算出された利得調整値に対応する信号とを乗算する乗算手段と、

前記乗算手段により乗算された信号と前記平均化手段により平均化された前記時比率に対応する信号と前記第二のハイパスフィルタにより低周波成分が遮断された信号とを加算する加算手段と、

前記加算手段により加算された信号、およびランプ信号に基づいて前記駆動信号を生成する駆動信号生成手段と、

を備えることを特徴とするスイッチング電源装置用制御装置。

【請求項 7】 前記第一のハイパスフィルタおよび前記第二のハイパスフィルタは、一次のハイパスフィルタであることを特徴とする請求項 6 記載のスイッチング電源装置用制御装置。

【請求項 8】 前記駆動信号生成手段により生成された駆動信号のオン時間を一スイッチング周期ごとにカウントするカウンタ手段をさらに備え、

前記駆動信号の時比率に対応する信号は、前記カウンタ手段によりカウントされた値を示す信号であることを特徴とする請求項 1 ～ 7 のいずれか 1 項に記載のスイッチング電源装置用制御装置。

【請求項 9】 前記加算手段により加算された信号を所定時間保持して出力する遅延手段をさらに備え、

前記駆動信号の時比率に対応する信号は、前記遅延手段により出力された信号であることを特徴とする請求項 1 ～ 7 のいずれか 1 項に記載のスイッチング電源

装置用制御装置。

【請求項 10】 前記駆動信号生成手段は、所定の間隔で前記駆動信号のレベルをローレベルからハイレベルに切り替えるとともに、前記加算手段により加算された信号と前記ランプ信号との比較結果に基づいて前記駆動信号のレベルをハイレベルからローレベルに切り替え、

前記遅延手段は、前記駆動信号の出力レベルがハイレベルからローレベルに切り替えられた切替時点における前記加算手段により加算された信号に基づいて、当該加算された信号に対応する値を検出し、当該検出された値を次の前記切替時まで出力することを特徴とする請求項 9 記載のスイッチング電源装置用制御装置。

【請求項 11】 前記駆動信号生成手段は、所定の間隔で前記駆動信号のレベルをハイレベルからローレベルに切り替えるとともに、前記加算手段により加算された信号と前記ランプ信号との比較結果に基づいて前記駆動信号のレベルをローレベルからハイレベルに切り替え、

前記遅延手段は、前記駆動信号の出力レベルがローレベルからハイレベルに切り替えられた切替時点における前記加算手段により加算された信号に基づいて、当該加算された信号に対応する値を検出し、当該検出された値を次の前記切替時まで出力することを特徴とする請求項 9 記載のスイッチング電源装置用制御装置。

【請求項 12】 前記駆動信号生成手段は、前記加算手段により加算された信号と前記ランプ信号との比較の結果に基づいて前記駆動信号の出力レベルをハイレベルまたはローレベルに切り替えることを特徴とする請求項 1～9 のいずれか 1 項に記載のスイッチング電源装置用制御装置。

【請求項 13】 前記平均化手段は、ローパスフィルタであることを特徴とする請求項 1～12 のいずれか 1 項に記載のスイッチング電源装置用制御装置。

【請求項 14】 請求項 1～13 のいずれか 1 項に記載のスイッチング電源装置用制御装置を備えることを特徴とするスイッチング電源装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、スイッチング電源装置用制御装置およびスイッチング電源装置に関する。

【0002】**【従来の技術】**

スイッチング電源装置は、小型軽量かつ高効率等の特長を有しており、各種機器に組み込まれているマイコンや、パソコン等の電源として幅広く利用されている。これらパソコン等では、低電圧化及び高速処理化が進み、消費電流が増加する一方である。そのため、スイッチング電源装置では、パソコン等の処理負荷に応じて負荷電流が急減に増減する。また、スイッチング電源装置は、広い入力電圧範囲に容易に対応できるという特長を有しており、世界数カ国で対応可能な電源や入力電圧の仕様設定が広い電源としても利用されている。スイッチング電源装置では、このような負荷電流や入力電圧の変化に対して安定した出力電圧を保障する必要がある。さらに、負荷電流や入力電圧の急激な変化に対して出力電圧が過渡応答となった場合でも、スイッチング電源装置では、安定した状態に迅速に回復することが求められている。

【0003】

そのために、スイッチング電源装置は、デジタル制御方式のコントローラ IC [Integrated Circuit]等の制御装置を備えており、この制御装置により FET [Field Effect Transistor]等のスイッチング素子を高速にオン／オフしている（非特許文献1参照）。制御装置では、電圧モード制御や電流モード制御によるフィードバック制御により、スイッチング電源装置の出力電圧等に基づいてスイッチング素子をオン／オフするための PWM [Pulse Width Modulation]信号を生成している。

【0004】**【非特許文献1】**

原田 耕介、二宮 保、顧 文建 共著、「スイッチングコンバータの基礎」、コロナ社、p. 48～79

【0005】

【発明が解決しようとする課題】

しかしながら、従来のスイッチング電源装置では、一般に、LCフィルタや制御装置等において位相遅れが生じ、この位相遅れは、周波数が高くなるほど大きくなる。そして、この位相遅れが 180° に達すると、スイッチング電源装置の出力電圧は発振してしまう。したがって、位相遅れが 180° に達することがないように位相補償する手段を講ずる必要がある。

【0006】

また、従来のスイッチング電源装置では、入力電圧や負荷電流が変化すると、駆動信号の時比率が変化してしまう。そのため、スイッチング電源装置では、時比率の変化に応じて出力電圧が変化し、入力電圧等の変化に対して定常偏差が発生する。したがって、従来のスイッチング電源装置では、入力電圧や負荷電流が変化すると、安定した出力電圧を保障することができない。

【0007】

さらに、従来のスイッチング電源装置では、入力電圧が変化した場合、その変化に応じて系全体の利得が変化する。そのため、入力電圧が低い場合、系全体の利得が小さくなり、定常偏差が増加し、応答が悪くなる。また、入力電圧が高い場合、系全体の利得が大きくなり、出力電圧が発振する恐れがある。スイッチング電源装置の仕様として広い入力電圧範囲が設定されている場合、通常、発振をしないように制御装置を設計するので、入力電圧が高い場合を想定して利得を設定している。つまり、利得を低めに設定している。その場合には、入力電圧が高いときの発振を防止することはできるが、入力電圧が低くなると応答が悪くなる。

【0008】

そこで、本発明は、上述した課題を解決するために、位相進みを実現することにより位相補償し、入力電圧や負荷電流が変化した場合でも安定した出力電圧を保障し、入力電圧が変化した場合でも系全体の利得を安定化することができるスイッチング電源装置用制御装置およびスイッチング電源装置を提供することを目的とする。

【0009】

【課題を解決するための手段】

本発明は、スイッチング電源装置のスイッチング素子を制御するための駆動信号を、当該スイッチング電源装置に対して出力するスイッチング電源装置用制御装置であって、駆動信号の時比率に対応する信号に含まれる低周波成分を遮断するハイパスフィルタと、ハイパスフィルタにより低周波成分が遮断された信号を積分する積分手段と、駆動信号の時比率に対応する信号に基づいて時比率を平均化する平均化手段と、平均化手段により平均化された時比率に対応する信号および前記スイッチング電源装置における出力電圧の目標電圧を示す信号に基づいて利得調整値を算出する利得調整値算出手段と、スイッチング電源装置の出力電圧および目標電圧の差分を示す信号と利得調整値算出手段により算出された利得調整値に対応する信号とを乗算する乗算手段と、乗算手段により乗算された信号と平均化手段により平均化された時比率に対応する信号と積分手段により積分された信号とを加算する加算手段と、加算手段により加算された信号、およびランプ信号に基づいて駆動信号を生成する駆動信号生成手段とを備えることを特徴とする。

【0010】

この発明によれば、帰還ループにあるハイパスフィルタおよび積分手段によって、駆動信号の時比率に対応する信号から低周波成分が遮断され、この遮断された信号が積分されるとともに、この積分後の信号に基づいて駆動信号が生成されるため、スイッチング電源装置用制御装置の伝達関数が位相進みとなり、かつ直流利得も確保される。また、平均化手段により平均化された時比率に対応する信号が、加算手段によってスイッチング電源装置の出力電圧および目標電圧の差分を示す信号に加算されるため、スイッチング電源装置の出力電圧を安定させることができる。さらに、利得調整値算出手段により算出された利得調整値が、乗算手段によって、スイッチング電源装置の出力電圧および目標電圧の差分を示す信号と乗算されるため、スイッチング電源装置全体の利得を安定させることができる。

【0011】

本発明のスイッチング電源装置用制御装置において、前記ハイパスフィルタは

、二次のハイパスフィルタであることが好ましい。このようにすれば、スイッチング電源装置用制御装置は、より確実に低周波成分を遮断させることができる。

【0012】

本発明は、スイッチング電源装置のスイッチング素子を制御するための駆動信号を、当該スイッチング電源装置に対して出力するスイッチング電源装置用制御装置であって、駆動信号の時比率に対応する信号を演算し、ハイパスフィルタ機能および積分機能を融合させた演算手段と、駆動信号の時比率に対応する信号に基づいて時比率を平均化する平均化手段と、平均化手段により平均化された時比率に対応する信号およびスイッチング電源装置における出力電圧の目標電圧を示す信号に基づいて利得調整値を算出する利得調整値算出手段と、スイッチング電源装置の出力電圧および目標電圧の差分を示す信号と利得調整値算出手段により算出された利得調整値に対応する信号とを乗算する乗算手段と、乗算手段により乗算された信号と平均化手段により平均化された時比率に対応する信号と演算手段により演算された信号とを加算する加算手段と、加算手段により加算された信号、およびランプ信号に基づいて駆動信号を生成する駆動信号生成手段とを備えることを特徴とする。

【0013】

この発明によれば、帰還ループにある演算手段によって、駆動信号の時比率に対応する信号に基づいて、低周波成分が遮断され、かつ積分された信号が出力されるとともに、この演算手段により出力された信号に基づいて駆動信号が生成されるため、スイッチング電源装置用制御装置の伝達関数が位相進みとなり、かつ直流利得も確保される。また、平均化手段により平均化された時比率に対応する信号が、加算手段によってスイッチング電源装置の出力電圧および目標電圧の差分を示す信号に加算されるため、スイッチング電源装置の出力電圧を安定させることができる。さらに、利得調整値算出手段により算出された利得調整値が、乗算手段によって、スイッチング電源装置の出力電圧および目標電圧の差分を示す信号と乗算されるため、スイッチング電源装置全体の利得を安定させることができる。

【0014】

本発明のスイッチング電源装置用制御装置において、演算手段の伝達関数 $H(Z)$ が、 $1 / (1 - b * Z^{-1})$ 、または、 $(1 - Z^{-1}) / [(1 - b_1 * Z^{-1})(1 - b_2 * Z^{-1})]$ 、(b , b_1 , b_2 は係数) であることが好ましい。

【0015】

本発明は、スイッチング電源装置のスイッチング素子を制御するための駆動信号を、当該スイッチング電源装置に対して出力するスイッチング電源装置用制御装置であって、駆動信号の時比率に対応する信号に含まれる低周波成分を遮断する第一のハイパスフィルタと、第一のハイパスフィルタにより低周波成分を遮断された信号を積分する積分手段と、積分手段により積分された信号に含まれる低周波成分を遮断する第二のハイパスフィルタと、駆動信号の時比率に対応する信号に基づいて時比率を平均化する平均化手段と、平均化手段により平均化された時比率に対応する信号およびスイッチング電源装置における出力電圧の目標電圧を示す信号に基づいて利得調整値を算出する利得調整値算出手段と、スイッチング電源装置の出力電圧および目標電圧の差分を示す信号と利得調整値算出手段により算出された利得調整値に対応する信号とを乗算する乗算手段と、乗算手段により乗算された信号と平均化手段により平均化された時比率に対応する信号と前記第二のハイパスフィルタにより低周波成分が遮断された信号とを加算する加算手段と、加算手段により加算された信号、およびランプ信号に基づいて駆動信号を生成する駆動信号生成手段とを備えることを特徴とする。

【0016】

この発明によれば、帰還ループにある第一のハイパスフィルタ、積分手段および第二のハイパスフィルタによって、駆動信号の時比率に対応する信号から低周波成分が遮断され、この遮断された信号が積分され、さらにこの積分された信号から低周波成分が遮断されるとともに、この遮断後の信号に基づいて駆動信号が生成されるため、スイッチング電源装置用制御装置の伝達関数が位相進みとなり、かつ直流利得も確保される。また、平均化手段により平均化された時比率に対応する信号が、加算手段によってスイッチング電源装置の出力電圧および目標電圧の差分を示す信号に加算されるため、スイッチング電源装置の出力電圧を安定させることができる。さらに、利得調整値算出手段により算出された利得調整値

が、乗算手段によって、スイッチング電源装置の出力電圧および目標電圧の差分を示す信号と乗算されるため、スイッチング電源装置全体の利得を安定させることができる。

【0017】

本発明のスイッチング電源装置用制御装置において、第一のハイパスフィルタおよび第二のハイパスフィルタは、一次のハイパスフィルタであることが好ましい。このようにすれば、回路構成をより簡素化させることができる。

【0018】

本発明のスイッチング電源装置用制御装置において、駆動信号生成手段により生成された駆動信号のオン時間を一スイッチング周期ごとにカウントするカウンタ手段をさらに備え、駆動信号の時比率に対応する信号は、カウンタ手段によりカウントされた値を示す信号であることとしてもよい。また、加算手段により加算された信号を所定時間保持して出力する遅延手段をさらに備え、駆動信号の時比率に対応する信号は、遅延手段により出力された信号であることとしてもよい。

【0019】

本発明のスイッチング電源装置用制御装置において、駆動信号生成手段は、所定の間隔で前記駆動信号のレベルをローレベルからハイレベルに切り替えるとともに、加算手段により加算された信号とランプ信号との比較結果に基づいて駆動信号のレベルをハイレベルからローレベルに切り替え、遅延手段は、駆動信号の出力レベルがハイレベルからローレベルに切り替えられた切替時点における加算手段により加算された信号に基づいて、当該加算された信号に対応する値を検出し、当該検出された値を次の切替時まで出力することとしてもよい。また、駆動信号生成手段は、所定の間隔で駆動信号のレベルをハイレベルからローレベルに切り替えるとともに、加算手段により加算された信号とランプ信号との比較結果に基づいて駆動信号のレベルをローレベルからハイレベルに切り替え、遅延手段は、駆動信号の出力レベルがローレベルからハイレベルに切り替えられた切替時点における加算手段により加算された信号に基づいて、当該加算された信号に対応する値を検出し、当該検出された値を次の切替時まで出力することとして

もよい。

【0020】

本発明のスイッチング電源装置用制御装置において、駆動信号生成手段は、加算手段により加算された信号とランプ信号との比較の結果に基づいて駆動信号の出力レベルをハイレベルまたはローレベルに切り替えることが好ましい。このようにすれば、加算手段により加算された信号と、ランプ信号との比較結果により、駆動信号のレベルがハイレベルとなる期間を制御することができる。

【0021】

本発明のスイッチング電源装置用制御装置において、平均化手段は、ローパスフィルタであることが好ましい。このようにすれば、ローパスフィルタの平均化機能を利用して簡単に平均化手段を構成することができる。

【0022】

【発明の実施の形態】

以下、本発明に係るスイッチング電源装置用制御装置の各実施形態を図面に基づき説明する。なお、各図において、同一要素には同一符号を付して重複する説明を省略する。

【0023】

[第1実施形態]

まず、本発明の第1実施形態について説明する。図1は、第1実施形態におけるスイッチング電源装置1の電気回路構成を例示する図である。本実施形態におけるスイッチング電源装置1はDC-DCコンバータであり、図1に示すようにスイッチング素子2、3と、インダクタ4と、コンデンサ5と、AD変換部6と、コントローラIC7（スイッチング電源装置用制御装置）とを有する。

【0024】

電源Pは、スイッチング電源装置1に入力電圧 V_i を印加する。スイッチング素子2、3は、スイッチング機能を有する素子であり、例えば、電界効果トランジスタ（FET）等のトランジスタが該当する。スイッチング素子2、3のゲートには、コントローラIC7から出力されるPWM信号（駆動信号）KSが入力される。スイッチング素子2およびスイッチング素子3は、PWM信号KSのレ

ベルに基づいてそれぞれが交互にON状態とOFF状態とを繰り返す。具体的に説明すると、PWM信号KSのレベルがハイレベルである場合には、スイッチング素子2がON状態となりスイッチング素子3がOFF状態となる。一方、PWM信号KSのレベルがローレベルである場合には、スイッチング素子2がOFF状態となりスイッチング素子3がON状態となる。

【0025】

インダクタ4およびコンデンサ5は、出力電圧 V_o を安定させるためのLCフィルタ（平滑回路）として機能する。AD変換部6は、出力電圧 V_o を示すアナログ信号をデジタル信号に変換する。

【0026】

負荷Lは、スイッチング電源装置1から出力される出力電圧 V_o の供給先であり、例えば、PC端末等に用いられるCPU（Central Processing Unit）やMPU（Micro Processing Unit）が該当する。このような、CPUやMPUは、省電力モードを有しており、省電力モードから通常モードに移行する際に、負荷変動が急激に増大するという特徴がある。

【0027】

コントローラIC7は、負荷Lに供給する出力電圧 V_o の目標値である目標電圧 V_r と出力電圧 V_o とに基づいてPWM信号KSを生成する。ここで、図2を参照してコントローラIC7の回路構成を説明する。図2に示すように、コントローラIC7は、加算器11と、乗算器12と、乗算器（乗算手段）13と、加算器（加算手段）14と、PWM信号生成回路（駆動信号生成手段）20と、カウンタ15と、演算回路30と、ローパスフィルタ（平均化手段）16と、除算器（利得調整値算出手段）17と、ランプ信号回路18とを有する。

【0028】

図2に示す加算器11は、出力電圧 V_o を示すデジタル信号および目標電圧 V_r を示すデジタル信号に基づいて、 $(V_r - V_o)$ の値を示す信号VSを出力する。すなわち、加算器11は、出力電圧 V_o （負）と目標電圧 V_r （正）を加算することにより、出力電圧 V_o と目標電圧 V_r との差分電圧値 $(V_r - V_o)$ を算出する。

【0029】

乗算器12は、差分電圧値 ($V_r - V_o$) を示す信号VSに基づいて、 $G(V_r - V_o)$ の値を示す制御信号GSを出力する。すなわち、乗算器12は、出力電圧 V_o と目標電圧 V_r との差分電圧値 ($V_r - V_o$) に、乗算器12の利得である G を乗算することにより、差分電圧値 ($V_r - V_o$) を G 倍した値である $G(V_r - V_o)$ を算出する。

【0030】

乗算器13は、乗算器12から出力された $G(V_r - V_o)$ の値を示す制御信号GSおよび除算器17から出力された信号ESに基づいて制御信号HSを出力する。すなわち、乗算器13は、 $G(V_r - V_o)$ の値を示す制御信号GSと除算器17から出力された信号ESを乗算することにより、制御信号HSを算出する。

【0031】

加算器14は、乗算器13から出力された制御信号HS、ローパスフィルタ16から出力された信号ASおよび演算回路30から出力された信号FSに基づいて信号ISを出力する。すなわち、加算器14は、乗算器13から出力された制御信号HS（正）と、ローパスフィルタ16から出力された信号AS（正）と、演算回路30から出力された信号FS（負）とを加算することにより、制御信号HSと信号ASとを加算した値から信号FSを減算した値を示す信号ISを算出する。

【0032】

PWM信号生成回路20は、加算器14から出力された信号ISおよびランプ信号回路18から出力されたランプ信号RSに基づいてPWM信号KSを生成する。PWM信号生成回路20は、コンパレータ21と、AND回路22とを有する。

【0033】

コンパレータ21は、加算器14から出力された信号ISおよびランプ信号回路18から出力されたランプ信号RSに基づいて、これらの信号を比較した結果を示す信号CSを出力する。すなわち、コンパレータ21は、信号ISの値とラ

ンプ信号RSの値とを比較して、信号ISの値がランプ信号RSの値よりも大きい場合には、ハイレベルの信号CSを出力し、信号ISの値がランプ信号RSの値以下の場合には、ローレベルの信号CSを出力する。すなわち、信号CSは、ランプ信号RSの値が、信号ISの値よりも小さい場合にのみ、ハイレベルとなる。

【0034】

AND回路22は、マスタークロックMCを分周したパルスに基づいて生成された信号clkとコンパレータ21から出力された信号CSとに基づいて、スイッチング素子2, 3の駆動信号であるPWM信号KSを出力する。すなわち、AND回路22は、信号clkと信号CSの論理積を演算し、その演算結果をPWM信号KSとして出力する。なお、本実施形態におけるAND回路22は、PWM信号KSのパルス幅の上限を制限する機能を有する。

【0035】

カウンタ15は、PWM信号KSの出力レベルがハイレベルであるときに、カウント値をカウントアップする。カウンタ15は、リセット信号RESを受信するとカウント値をリセットするとともに、サンプル信号SMPを受信するとその時点のカウント値を保持し、この保持したカウント値を示す信号DSを出力する。すなわち、カウンタ15は、リセット信号RESを受信してからサンプル信号SMPを受信するまでの間におけるPWM信号KSのオン時間をカウントし、サンプル信号SMPを受信した時点のカウント値を保持する。

【0036】

演算回路30は、カウンタ15から出力されたカウント値を示す信号DSに基づいて演算し、演算後の信号FSを出力する。ここで、図2に示すように、演算回路30は、ハイパスフィルタ（HPF）31と、積分器32とを有する。

【0037】

ハイパスフィルタ31は、二次のハイパスフィルタであり、カウンタ15により出力された信号DSに含まれる低周波成分を遮断するフィルタ回路である。ハイパスフィルタ31を備えることによって、信号DSに含まれる低周波成分が遮断されるため、直流成分のない信号を積分器32に入力することができる。

【0038】

積分器 32 は、ハイパスフィルタ 31 によって低周波成分が遮断された後の信号を積分する回路である。このような積分器 32 を備えることによって、PWM 信号 KS のオン時間に対応する信号 DS から低周波成分が遮断された信号を積分することができる。

【0039】

ここで、図 3 を参照して、演算回路 30 の詳細回路構成について説明する。図 3 に示すように、演算回路 30 は、二次のハイパスフィルタ 31 と、積分器 32 とを有する。二次のハイパスフィルタ 31 は、遅延器である D フリップフロップ 31A ~ 31D と、乗算係数が “2” である乗算器 31E と、乗算係数が “b1 + b2” である乗算器 31F と、乗算係数が “b1 * b2” である乗算器 31G と、加算器 31H とを有する。この回路構成は、以下に記載する式 1 により表されるハイパスフィルタ 31 の伝達関数 H (Z) に基づいて構成されている。

【0040】

$$\left[(1 - Z^{-1}) / (1 - b_1 * Z^{-1}) \right] * \left[(1 - Z^{-1}) / (1 - b_2 * Z^{-1}) \right] \dots \quad (\text{式 1}) \quad (b_1, b_2 \text{ は係数})$$

【0041】

また、演算回路 30 の積分器 32 は、遅延器である D フリップフロップ 32A と、加算器 32B とを有する。この回路構成は、以下に記載する式 2 により表される積分器 32 の伝達関数 H (Z) に基づいて構成されている。

【0042】

$$1 / (1 - Z^{-1}) \dots \quad (\text{式 2})$$

【0043】

なお、本実施形態においては、ハイパスフィルタ 31 が二次のハイパスフィルタである場合について説明しているが、ハイパスフィルタ 31 を二次に限定する必要はない。すなわち、ハイパスフィルタ 31 は、一次以上のハイパスフィルタであれば、いずれのハイパスフィルタであっても適用可能である。ここで、演算回路 30 を、一次のハイパスフィルタ 31S と、積分器 32 とで構成した場合の詳細回路図を図 4 に示し、説明する。図 4 に示すように一次のハイパスフィルタ

31Sは、遅延器であるDフリップフロップ31SA、31SBと、乗算係数が“b”である乗算器31SCと、加算器31SDとを有する。この回路構成は、以下に記載する式3により表されるハイパスフィルタ31Sの伝達関数H(Z)に基づいて構成されている。

【0044】

$$(1 - Z^{-1}) / (1 - b * Z^{-1}) \quad \dots \quad (\text{式3}) \quad (b \text{ は係数})$$

【0045】

このように、本実施形態においては、演算回路30に積分器32を備えることによって、コントローラIC7の伝達関数が、後述するように位相進みとなるため、スイッチング電源装置1全体の位相補償を実現することができる。なお、積分器32に入力する信号を、ハイパスフィルタ31で低周波成分が遮断された後の信号にすることで、この積分器32において積分された値が飽和（無限大に発散）する事態を防止することができる。

【0046】

図2に示すローパスフィルタ16は、IIR[Infinite Impulse Response]型の1次のローパスフィルタであり、このフィルタの平均化機能により過去に入力されたPWM信号KSの時比率Dを無限に平均化する。すなわち、ローパスフィルタ16は、カウンタ15から出力されたカウント値を示す信号DSに基づいて時比率Dの平均値Daを算出し、この平均値Daに対応する信号ASを出力する。ここで、時比率Dとは、駆動信号であるPWM信号KSの一スイッチング周期中におけるオン時間の割合をいう。

【0047】

ローパスフィルタ16は、図5(a)に示すように、乗算器16a、16b、16cと、Dフリップフロップ16d、16eと、加算器16fとを有する。乗算器16aでは、入力値Unにフィルタ係数a0を乗算して加算器16fに出力する。Dフリップフロップ16dでは、入力値Unが入力され、サンプル信号SMPに基づいて入力値の前回値Un-1を保持し、乗算器16bに出力する。乗算器16bでは、入力値の前回値Un-1にフィルタ係数a1を乗算して加算器16fに出力する。Dフリップフロップ16eでは、出力値Ynが入力され、サン

ル信号SMPに基づいて出力値の前回値 Y_{n-1} を保持し、乗算器16cに出力する。乗算器16cでは、出力値の前回値 Y_{n-1} にフィルタ係数 b_1 を乗算して加算器16fに出力する。加算器16fでは、乗算器16a～16cの各乗算値を加算し、出力値 Y_n として出力する。ローパスフィルタ16は、遮断周波数 f_c を有し、図5(b)に示すように、低周波成分を通過させる利得特性を有し、利得が1である。

【0048】

ローパスフィルタ16は、以下に記載する式4により表される。

【0049】

$$Y_n = a_0 * U_n + a_1 * (U_{n-1}) + b_1 * (Y_{n-1}) \quad \cdots \quad (\text{式4})$$

(a_0 , a_1 , b_1 は係数)

【0050】

式4に表される U_n はカウンタ15からの時比率 D_n であり、 Y_n は過去に入力された時比率の平均値 D_a である。

【0051】

図2に示す除算器17は、目標電圧 V_r を示すデジタル信号および時比率 D の平均値 D_a を示す信号に基づいて、 (D_a / V_r) の値を示す信号ESを出力する。すなわち、除算器17は、時比率 D の平均値 D_a を目標電圧 V_r で除算することにより、除算値 (D_a / V_r) を利得調整値として算出する。

【0052】

以上のように構成されるコントローラIC7は、①位相進みによる位相補償機能、②定常偏差の補正機能、③入力電圧に応じた利得調整機能を有する点に特徴がある。以下において、これら①～③の機能ごとに説明する。

【0053】

[①位相進みによる位相補償機能]

まず、位相進みによる位相補償機能を実現する回路構成について説明する。この機能を実現する回路構成は、例えば、図2に示すコントローラIC7を構成する各要素のうち、加算器11, 14と、乗算器12と、PWM信号生成回路20と、カウンタ15と、演算回路30と、ランプ信号回路18とにより構成される

。

【0054】

位相進みによる位相補償機能の特徴は、コントローラ IC 7 の帰還ループにハイパスフィルタ 31 および積分手段 32 を備えることで、コントローラ IC 7 の伝達関数の位相を 90° 進ませ、その結果、スイッチング電源装置 1 全体の位相補償を実現する点である。

【0055】

ここで、図 6 を参照して、コントローラ IC 7 において位相進みが実現される原理について説明する。図 6 は、コントローラ IC 7 の一部と同様に構成されており、スイッチング電源装置に出力する駆動信号の時比率 D の積分値を帰還ループでフィードバックする制御回路の一例を示すものである。図 6 に示す制御回路 7g は、伝達関数が “-G” である乗算器 12g と、伝達関数が “Gd” である積分器 32g と、伝達関数が “kd” である乗算器 12g と、加算器 14g とを有する。この制御回路 7g の伝達関数 $G_c(Z)$ は、制御回路 7g に入力されるスイッチング電源装置の出力電圧の変化量 ΔV と制御回路 7g から出力される時比率の変化量 ΔD の比として求められ、以下に記載する式 5 により表される。

【0056】

$$G_c(Z) = \Delta D / \Delta V = (-G) / (1 + k_d * G_d) \quad \dots \quad (式5)$$

【0057】

また、積分器 32g の伝達関数 $G_d(Z)$ は、以下に記載する式 6 により表される。

【0058】

$$G_d(Z) = 1 / (1 - Z^{-1}) \quad \dots \quad (式6)$$

【0059】

式 6 を式 5 に代入すると、制御回路 7g の伝達関数 $G_c(Z)$ が、以下に記載する式 7 のように求まる。

【0060】

$$G_c(Z) = [(-G) / (1 + k_d)] * [(1 - Z^{-1}) / [1 - (1 / (1 + k_d)) * Z^{-1}]] \quad \dots \quad (式7)$$

【0061】

ここで、一次のハイパスフィルタの伝達関数 $H(Z)$ は、 $(1 - Z^{-1}) / (1 - b * Z^{-1})$; (b は係数) により表されるため、式 7 の伝達関数 $G_c(Z)$ は、一次のハイパスフィルタの伝達関数で表されていることがわかる。すなわち、図 6 に示す帰還ループに積分器 32g を有する制御回路 7g の伝達関数 $G_c(Z)$ は、一次のハイパスフィルタの伝達関数で表されることになる。

【0062】

ところで、一般に、一次のハイパスフィルタの伝達関数は、後述するように 90° の位相進みとなる。したがって、図 6 に示す帰還ループに積分器 32g を有する制御回路 7g の伝達関数 G_c も 90° の位相進みとなる。

【0063】

以下において、一次のハイパスフィルタの伝達関数が 90° の位相進みとなることについて説明する。まず、式 7 により表される制御回路 7g の伝達関数 $G_c(Z)$ を、逆双一次変換により、アナログ伝達関数 $G_c(s)$ に変換する。一般に、逆双一次変換を行う際には、以下に記載する式 8 を用いて行う。

【0064】

$$Z^{-1} = [1 - (s / 2 * f_s)] / [1 + (s / 2 * f_s)] \quad \dots \quad (式 8)$$

(f_s : サンプル周波数)

【0065】

式 7 により表される制御回路 7g の伝達関数 $G_c(Z)$ を、式 8 を用いて逆双一次変換すると、アナログ伝達関数 $G_c(s)$ が、以下に記載する式 9 のように求まる。

【0066】

$$G_c(s) = [(-2G) / (2 + kd)] * [s / (s + 2\pi * f_c)] \quad \dots$$

(式 9)

(f_c : 一次のハイパスフィルタの遮断周波数) なお、 $f_c = (f_s / \pi) * [kd / (2 + kd)]$ とする。

【0067】

ここで、所定の周波数を f とした場合に、 $s = j * 2\pi * f$ (j : 虚数単位)

が成立する。そして、この所定の周波数 f が、一次のハイパスフィルタの遮断周波数 f_c に比べて無視できる程小さい場合に、上述した式 9 は、以下に記載する式 10 によって近似的に表される。

【0068】

$$G_c = [(-2G) / (2 + kd)] * [j * 2\pi * f / (2\pi * f_c)] \quad \dots$$

(式 10)

【0069】

このように、式 10 に示す制御回路 7g の伝達関数 G_c は、虚数単位である j に比例する純虚数で表されるため、制御回路 7g の伝達関数 G_c は、 90° の位相進みとなる。すなわち、帰還ループに積分器 32g を有する制御回路 7g の伝達関数 G_c は、 90° の位相進みとなる。

【0070】

このことは、図 7 および図 8 に示す制御回路 7g における伝達関数の利得特性グラフおよび位相特性グラフからも説明できる。図 7 は、利得特性を示す図であり、図 8 は位相特性を示す図である。なお、利得特性グラフの縦軸は、利得 $[dB]$ を示し、横軸は、周波数 $[Hz]$ を示す。また、位相特性グラフの縦軸は、位相 $[^\circ]$ を示し、横軸は、周波数 $[Hz]$ を示す。さらに、制御回路 7g における伝達関数は、乗算器 12g の伝達関数である G を “1” として算出している。

【0071】

図 7 に示すように、制御回路 7g における伝達関数の利得は、 $-20[dB/dec]$ の割合で減少している。これは、式 10 に示されるように、制御回路 7g の伝達関数 G_c が、周波数 f に比例していることに起因するものである。

【0072】

図 8 に示すように、制御回路 7g における伝達関数の位相は、所定の周波数（図 8 の場合には $10kHz$ 付近）よりも小さい周波数帯域で 90° となる。これは、制御回路 7g における伝達関数の位相が、 90° の位相進みであることを示すものである。

【0073】

以上のことから、本実施形態におけるコントローラ IC7 は、帰還ループにあ

る演算回路 30 に積分器 32 が備えられているため、上述した制御回路 5g と同様に、コントローラ IC7 の伝達関数は、一次のハイパスフィルタの伝達関数として表され、 90° の位相進みを実現することが可能となる。

【0074】

ところで、上述した制御回路 7g における伝達関数の利得は、 $-20[\text{dB}/\text{dec}]$ の割合で減少している。このことは、制御回路 7g における伝達関数の直流利得が、理論上 $-\infty[\text{dB}]$ になることを示している。なお、直流利得とは、周波数 f を限りなく 0 に近付けたときの伝達関数の利得の値をいう。一般に、制御回路を含む系全体の直流利得は、 $20[\text{dB}] \sim 60[\text{dB}]$ 程度は必要であるとされている。したがって、系全体の直流利得が、 $20[\text{dB}] \sim 60[\text{dB}]$ 程度になるように回路の構成要素を設計する必要がある。そこで、本実施形態においては、演算回路 30 にハイパスフィルタ 31 を備えることで、帰還ループによる帰還信号の低周波成分を遮断して利得の低下を防止している。

【0075】

次に、図 9 ～ 図 18 を参照して、本実施形態におけるコントローラ IC7 およびスイッチング電源装置 1 における伝達関数の利得特性および位相特性について説明する。なお、スイッチング電源装置 1 の入力電圧 V_i は 10V に設定されていることとする。また、各利得特性グラフの縦軸は、利得 $[\text{dB}]$ を示し、横軸は、周波数 $[\text{Hz}]$ を示す。また、各位相特性グラフの縦軸は、位相 $[\circ]$ を示し、横軸は、周波数 $[\text{Hz}]$ を示す。さらに、コントローラ IC7 における伝達関数は、乗算器 12 の伝達関数である G を “1” として算出している。

【0076】

まず、図 9 および図 10 を参照して、コントローラ IC7 を含まないスイッチング電源装置 1 本体における伝達関数の利得特性および位相特性について説明する。図 9 は、利得特性を示す図であり、図 10 は位相特性を示す図である。

【0077】

図 9 に示すように、スイッチング電源装置 1 本体における伝達関数の利得の最大値（共振値）は、スイッチング電源装置 1 本体の LC 共振周波数 f_n である $15[\text{kHz}]$ に表れる。また、利得が $0[\text{dB}]$ となるゼロクロス周波数は、 $55[$

kHz]である。

【0078】

図10に示すように、スイッチング電源装置1本体における伝達関数の位相は、ゼロクロス周波数である55[kHz]において -175° となる。したがって、スイッチング電源装置1本体の位相余裕は 5° となり、位相余裕としては非常に小さな値であるため、このままでは、外部の影響（外乱）により出力電圧 V_o が発振してしまう可能性がある。

【0079】

次に、図11および図12を参照して、コントローラIC7における伝達関数の利得特性および位相特性について説明する。図11は、利得特性を示す図であり、図12は位相特性を示す図である。図11および図12に示すように、コントローラIC7の伝達関数の利得特性および位相特性は、上述した図7および図8に示す積分器のみの場合における各特性グラフのうち、二次のハイパスフィルタ31により低周波成分が遮断される周波数領域において、利得は0[dB]に、位相は 0° にそれぞれ戻ることになる。なお、直流利得が不足している場合には、乗算器12の伝達関数であるGを低周波数領域で高い利得をもつ伝達関数に変更することにより、必要な直流利得を得ることができる。

【0080】

次に、図13および図14を参照して、コントローラIC7を含むスイッチング電源装置1全体における伝達関数の利得特性および位相特性について説明する。図13は、利得特性を示す図であり、図14は位相特性を示す図である。図13および図14に示す各特性グラフは、スイッチング電源装置1全体における伝達関数（図9、図10参照）と、コントローラIC7における伝達関数（図11、図12参照）を掛け合わせた伝達関数の利得特性および位相特性を表すものである。

【0081】

図13に示すように、スイッチング電源装置1全体における伝達関数の利得が0[dB]となるゼロクロス周波数は、35[kHz]である。また、図14に示すように、スイッチング電源装置1全体における伝達関数の位相は、ゼロクロス周

波数である $35[\text{kHz}]$ において $-130[^\circ]$ となる。したがって、スイッチング電源装置 1 全体の位相余裕は $50[^\circ]$ となり、スイッチング電源装置 1 は、全体として安定な制御系となる。また、図 13 に示すように、直流利得が、 $20[\text{dB}]$ であるため、スイッチング電源装置 1 全体としての定常偏差も減少する。

【0082】

次に、図 15 および図 16 を参照して、演算回路 30 のハイパスフィルタが一次のハイパスフィルタ 31 S である場合のコントローラ IC7 における伝達関数の利得特性および位相特性について説明する。図 15 は、利得特性を示す図であり、図 16 は位相特性を示す図である。図 15 および図 16 に示すように、コントローラ IC7 の伝達関数の利得特性および位相特性は、上述した図 7 および図 8 に示す積分器のみの場合における各特性グラフのうち、一次のハイパスフィルタ 31 により低周波成分が遮断される周波数領域において、利得は $-15[\text{dB}]$ に、位相は $0[^\circ]$ にそれぞれ戻ることになる。このように、二次のハイパスフィルタを用いた場合ほどの効果は得られないが、積分器のみの場合（図 6 参照）には、直流利得が $-\infty[\text{dB}]$ であったのに対し、一次のハイパスフィルタを用いた場合には、直流利得が $-15[\text{dB}]$ となっている点で定常偏差が大幅に改善されている。

【0083】

次に、図 17 および図 18 を参照して、一次のハイパスフィルタ 31 S を用いた場合のコントローラ IC7 を含むスイッチング電源装置 1 全体における伝達関数の利得特性および位相特性について説明する。図 17 は、利得特性を示す図であり、図 18 は位相特性を示す図である。図 17 および図 18 に示す各特性グラフは、スイッチング電源装置 1 全体における伝達関数（図 9，図 10 参照）と、一次のハイパスフィルタ 31 S を用いた場合のコントローラ IC7 における伝達関数（図 15，図 16 参照）を掛け合わせた伝達関数の利得特性および位相特性を表すものである。図 17 に示すように、スイッチング電源装置 1 全体における伝達関数の利得が $0[\text{dB}]$ となるゼロクロス周波数は、 $35[\text{kHz}]$ である。また、図 18 に示すように、スイッチング電源装置 1 全体における伝達関数の位相は、ゼロクロス周波数である $35[\text{kHz}]$ において $-120[^\circ]$ となる。したが

って、スイッチング電源装置 1 全体の位相余裕は $60[^\circ]$ となり、スイッチング電源装置 1 は、全体として安定な制御系となる。また、図 16 に示すように、直流利得が、 $5[dB]$ であるため、スイッチング電源装置 1 全体としての定常偏差も減少する。

【0084】

このように、コントローラ IC 7 の帰還ループに含まれる演算回路 30 に積分器 32 およびハイパスフィルタ 31 または 31S を備えることによって、コントローラ IC 7 の伝達関数が位相進みとなり、かつ直流利得が確保されるため、スイッチング電源装置 1 における位相補償が実現されることになる。

【0085】

次に、図 19 に示すタイミングチャートを参照して、コントローラ IC 7 のカウンタ 15 および演算回路 30 における信号の流れについて説明する。図 19 (a) は、コントローラ IC 7 の PWM 信号生成回路 20 から出力される PWM 信号 KS の波形を示す図である。図 19 (a) に示すように、PWM 信号 KS は、ローレベルとハイレベルの信号が交互に繰り返されて出力されている。図 19 (b) は、コントローラ IC 7 のカウンタ 15 におけるカウントアップ状態を示す信号 cnt の波形を示す図である。図 19 (c) は、カウンタ 15 から出力される信号 DS の内容を示す図である。図 19 (d) は、スイッチング電源装置 1 のマスタークロック MC に基づいて生成されたりセット信号 RES のパルス波形を示す図である。図 19 (d) に示すように、リセット信号 RES は、所定の間隔でローレベルとハイレベルの信号が交互に繰り返されて出力されている。図 19 (e) は、スイッチング電源装置 1 のマスタークロック MC に基づいて生成されたサンプル信号 SMP のパルス波形を示す図である。図 19 (e) に示すように、サンプル信号 SMP は、所定の間隔でローレベルとハイレベルの信号が交互に繰り返されて出力されている。図 19 (f) は、コントローラ IC 7 の演算回路 30 から出力される信号 FS の内容を示す図である。

【0086】

まず、時間 t_1 において、PWM 信号生成回路 20 から出力される PWM 信号 KS がローレベルからハイレベルに切り替わると (図 19 (a))、カウンタ 1

5は、リセット済であるカウンタ値のカウントアップを開始する（図19（b））。また、時間 t_1 において、リセット信号 RES は、ローレベルからハイレベルに切り替わる（図19（d））。

【0087】

次に、時間 t_2 において、PWM信号生成回路20から出力されるPWM信号 KS がハイレベルからローレベルに切り替わると（図19（a））、カウンタ15は、カウントアップを停止する（図19（b））。すなわち、本実施形態におけるカウンタ15は、PWM信号 KS のオン時間をカウントする。

【0088】

次に、時間 t_3 において、サンプル信号 SMP がローレベルからハイレベルに切り替わると（図19（e））、カウンタ15は、現時点におけるカウント値である“ D_n ”を示す信号 DS を出力する（図19（c））。なお、この信号 DS の出力内容である“ D_n ”は、次回にサンプル信号がローレベルからハイレベルに切り替わるまで（時間 t_5 ）保持される。

【0089】

また、時間 t_3 において、カウンタ15から出力される信号 DS の内容が“ D_{n-1} ”から“ D_n ”に切り替わると（図19（c））、演算回路30から出力される信号 FS の内容が“ $f(D_{n-1})$ ”から“ $f(D_n)$ ”に切り替わる（図19（f））。なお“ $f(x)$ ”は、演算回路30において行われる演算内容を表す関数である。

【0090】

次に、時間 t_4 において、リセット信号 RES が、ハイレベルからローレベルに切り替わると（図19（d））、カウンタ15は、カウント値をリセットする（図19（b））。これにより、カウンタ15は、次のスイッチング周期におけるカウントを、リセット後のカウント値から開始することができる。

【0091】

次に、図20に示すタイミングチャートを参照して、コントローラ IC7のPWM信号生成回路20における信号の流れについて説明する。図20（a）は、コントローラ IC7のランプ信号回路18から出力されるランプ信号 RS の波形

、およびコントローラ IC 7 の加算器 14 から出力される信号 IS を示す図である。図 20 (a) に示すように、本実施形態におけるランプ信号 RS の波形は、鋸歯状に出力されている。図 20 (b) は、スイッチング電源装置 1 のマスタークロック MC に基づいて生成されたリセット信号 RES のパルス波形を示す図である。図 20 (b) に示すように、リセット信号 RES は、所定の間隔でローレベルとハイレベルの信号が交互に繰り返されて出力されている。図 20 (c) は、コントローラ IC 7 のコンパレータ 21 から出力される信号 CS の波形を示す図である。図 20 (c) に示すように、信号 CS は、ローレベルとハイレベルの信号が交互に繰り返されて出力されている。図 20 (d) は、スイッチング電源装置 1 のマスタークロック MC に基づいて生成された信号 clk のパルス波形を示す図である。図 20 (d) に示すように、信号 clk は、所定の間隔でローレベルとハイレベルの信号が交互に繰り返されて出力されている。図 20 (e) は、コントローラ IC 7 の PWM 信号生成回路 20 から出力される PWM 信号 KS の波形を示す図である。

【0092】

まず、時間 t_{11} において、リセット信号 RES がハイレベルからローレベルに切り替わると (図 20 (b))、ランプ信号回路 18 は、出力するランプ信号 RS の値をリセットする (図 20 (a))。時間 t_{11} において、ランプ信号 RS の値がリセットされると、コンパレータ 21 は、ハイレベルの信号 CS を出力する (図 20 (c))。このコンパレータ 21 は、加算器 14 から出力された信号 IS と、ランプ信号回路 18 から出力されたランプ信号 RS とを比較し、信号 IS の値がランプ信号 RS の値よりも大きい間 (例えば、 t_{11} から t_{13} の間) には、ハイレベルの信号 CS を出力し、信号 IS の値がランプ信号 RS の値以下の間 (例えば、 t_{13} から t_{15} の間) には、ローレベルの信号 CS を出力する (図 20 (c))。

【0093】

次に、時間 t_{12} において、リセット信号 RES がローレベルからハイレベルに切り替わると (図 20 (b))、ランプ信号回路 18 は、カウントアップされるランプ信号の出力を開始または再開する (図 20 (a))。

【0094】

また、時間 t_{12} において、信号 clk が、ローレベルからハイレベルに切り替わると（図 20（d））PWM 信号生成回路 20 から出力される PWM 信号 K_S が OFF 状態（ローレベル）から ON 状態（ハイレベル）に切り替わる。

【0095】

次に、時間 t_{13} において、信号 IS の値がランプ信号 RS の値以下になると（図 20（a））、コンパレータ 21 から出力される信号 CS が、ハイレベルからローレベルに切り替わる（図 20（c））。コンパレータ 21 から出力される信号 CS が、ハイレベルからローレベルに切り替わると（図 20（c））、AND 回路 22 から出力される PWM 信号 K_S がハイレベルからローレベルに切り替わる（図 20（e））。すなわち、ランプ信号 RS の値が、 HS 信号の値に到達した場合には、駆動信号である PWM 信号 K_S が ON 状態（ハイレベル）から OFF 状態（ローレベル）に切り替わることになる。

【0096】

次に、時間 t_{14} において、信号 clk がハイレベルからローレベルに切り替わると（図 20（d））、AND 回路 22 から出力される PWM 信号 K_S が、強制的にローレベルに切り替えられる（図 20（e））。すなわち、信号 clk は、駆動信号である PWM 信号 K_S が ON 状態として継続する期間を制限する機能を有する。

【0097】

したがって、PWM 生成回路 20 では、信号 clk がローレベルからハイレベルに切り替わった後（図 20（d））、信号 IS の値がランプ信号 RS の値よりも大きいと判定されたときに（図 20（a））、PWM 信号 K_S が OFF 状態から ON 状態に切り替わり、ランプ信号 RS の値が、信号 IS の値に到達したと判定されたときに（図 20（a））、PWM 信号 K_S が ON 状態から OFF 状態に切り替わる。

【0098】

以上のように、位相進みによる位相補償機能を有するコントローラ IC7 では、帰還ループにあるハイパスフィルタ 31 および積分手段 32 によって、PWM

信号 K S のオン時間に対応する信号から低周波成分が遮断され、この遮断された信号が積分されるとともに、この積分後の信号に基づいて駆動信号が生成されるため、コントローラ I C 7 の伝達関数は、一次のハイパスフィルタの伝達関数として表され、 90° の位相進みを実現することが可能となり、かつ直流利得も確保される。

【0099】

[②定常偏差の補正機能]

次に、定常偏差の補正機能を実現する回路構成について説明する。この機能を実現する回路構成は、例えば、図 2 に示すコントローラ I C 7 を構成する各要素のうち、加算器 11、14 と、乗算器 12 と、PWM 信号生成回路 20 と、カウンタ 15 と、ローパスフィルタ 16 と、ランプ信号回路 18 とにより構成される。

【0100】

定常偏差の補正機能の特徴は、コントローラ I C 7 の帰還ループにローパスフィルタ 16 を備え、PWM 信号 K S の時比率平均値 D_a を制御信号 H S の補正值としてフィードバックさせることであり、その結果、スイッチング電源装置 1 の出力電圧 V_o を安定させる点である。

【0101】

ここで、コントローラ I C 7 の帰還ループで PWM 信号 K S の時比率平均値 D_a をフィードバックすることにより、出力電圧 V_o が安定する理由について説明する。以下の説明においては、ランプ信号 R S のランプ係数を K とする。図 20 (a) および (e) に示されるように、PWM 信号 K S は、ランプ信号 R S が増加して信号 I S に到達した時点で、ハイレベルからローレベルに切り換えられて生成される。したがって、ランプ係数 K が 1 である場合のランプ係数 K と PWM 信号 K S の時比率 D とを乗算した値は、 $G(V_r - V_o) + D_a$ と等しくなり、以下に記載する式 5 が成立する。

【0102】

$$G(V_r - V_o) + D_a = D \quad \cdots \text{(式 5)}$$

【0103】

また、ランプ係数Kが1以外の場合には、以下に記載する式6が成立する。

【0104】

$$G(V_r - V_o) + K * D_a = K * D \quad \cdots \text{(式6)}$$

【0105】

式6を変形して、以下に記載する式7とする。

【0106】

$$V_o = V_r - (K / G) * (D - D_a) \quad \cdots \text{(式7)}$$

【0107】

コントローラIC7ではランプ係数Kを1としているため、式7は以下に記載する式8となる。

【0108】

$$V_o = V_r - (1 / G) * (D - D_a) \quad \cdots \text{(式8)}$$

【0109】

ここで、PWM信号KSの時比率Dと時比率平均値 D_a とは、定常的には等しいとみなせる。これにより、式7および式8に表される出力電圧 V_o は、利得Gが有限の値を有している場合であっても目標電圧 V_r と等しくなり($V_o = V_r$)、一定の値となる。すなわち、 $G(V_r - V_o)$ を示す信号に時比率平均値 D_a を加算してPWM信号KSの時比率Dを生成することにより(式5参照)、出力電圧 V_o が目標電圧 V_r と等しくなり(式8参照)、安定する。ここで、PWM信号KSの時比率Dと入力電圧 V_i および出力電圧 V_o との関係は、 $D = V_o / V_i$ で表される。したがって、入力電圧 V_i の変化に応じて時比率Dが変化した場合であっても、出力電圧 V_o は変化しない。また、負荷Lの処理負荷が大幅に変動して負荷電流が大幅に変動しても、出力電圧 V_o は変化しない。

【0110】

次に、図21に示すタイミングチャートを参照して、コントローラIC7のカウンタ15およびローパスフィルタ16における信号の流れについて説明する。図21(a)は、コントローラIC7のPWM信号生成回路20から出力されるPWM信号KSの波形を示す図である。図21(a)に示すように、PWM信号KSは、ローレベルとハイレベルの信号が交互に繰り返されて出力されている。

図 2 1 (b) は、コントローラ I C 7 のカウンタ 1 5 におけるカウントアップ状態を示す信号 $c n t$ の波形を示す図である。図 2 1 (c) は、カウンタ 1 5 から出力される信号 $D S$ の内容を示す図である。図 2 1 (d) は、スイッチング電源装置 1 のマスタークロック $M C$ に基づいて生成されたりセット信号 $R E S$ のパルス波形を示す図である。図 2 1 (d) に示すように、リセット信号 $R E S$ は、所定の間隔でローレベルとハイレベルの信号が交互に繰り返されて出力されている。図 2 1 (e) は、スイッチング電源装置 1 のマスタークロック $M C$ に基づいて生成されたサンプル信号 $S M P$ のパルス波形を示す図である。図 2 1 (e) に示すように、サンプル信号 $S M P$ は、所定の間隔でローレベルとハイレベルの信号が交互に繰り返されて出力されている。図 2 1 (f) は、コントローラ I C 7 のローパスフィルタ 1 6 から出力される信号 $A S$ の内容を示す図である。

【0111】

まず、時間 $t 2 1$ において、PWM 信号生成回路 2 0 から出力される PWM 信号 $K S$ がローレベルからハイレベルに切り替わると (図 2 1 (a))、カウンタ 1 5 は、リセット済であるカウンタ値のカウントアップを開始する (図 2 1 (b))。また、時間 $t 2 1$ において、リセット信号 $R E S$ は、ローレベルからハイレベルに切り替わる (図 2 1 (d))。

【0112】

次に、時間 $t 2 2$ において、PWM 信号生成回路 2 0 から出力される PWM 信号 $K S$ がハイレベルからローレベルに切り替わると (図 2 1 (a))、カウンタ 1 5 は、カウントアップを停止する (図 2 1 (b))。すなわち、本実施形態におけるカウンタ 1 5 は、PWM 信号 $K S$ のオン時間をカウントする。

【0113】

次に、時間 $t 2 3$ において、サンプル信号 $S M P$ がローレベルからハイレベルに切り替わると (図 2 1 (e))、カウンタ 1 5 は、現時点におけるカウント値である “ $D n$ ” を示す信号 $D S$ を出力する (図 2 1 (c))。なお、この信号 $D S$ の出力内容である “ $D n$ ” は、次回にサンプル信号がローレベルからハイレベルに切り替わるまで (時間 $t 2 5$) 保持される。

【0114】

また、時間 t_{23} において、カウンタ 15 から出力される信号 DS の内容が “ D_{n-1} ” から “ D_n ” に切り替わると (図 21 (c))、ローパスフィルタ 16 から出力される信号 AS の内容が “ Y_{n-1} ” から “ Y_n ” に切り替わる (図 21 (f))。なお Y_n は、上述した式 4 に表されるように、過去に入力された時比率の平均値 D_a を示す。また、この信号 AS の出力内容である “ Y_n ” は、次回にサンプル信号がローレベルからハイレベルに切り替わるまで (時間 t_{25}) 保持される。

【0115】

次に、時間 t_{24} において、リセット信号 RES が、ハイレベルからローレベルに切り替わると (図 21 (d))、カウンタ 15 は、カウント値をリセットする (図 21 (b))。これにより、カウンタ 15 は、次のスイッチング周期におけるカウントを、リセット後のカウント値から開始することができる。

【0116】

なお、コントローラ IC 7 の PWM 信号生成回路 20 における信号の流れについては、上述した位相進みによる位相補償機能と同様 (図 20 参照) であるため、説明を省略する。

【0117】

以上のように、定常偏差の補正機能を有するコントローラ IC 7 によれば、コントローラ IC 7 から出力される PWM 信号 KS の時比率 D を帰還ループでフィードバックさせ、制御信号 HS を時比率平均値 D_a で補正するため、入力電圧 V_i や負荷電流が変化しても、出力電圧 V_o に定常偏差が発生しない。また、コントローラ IC 7 では、カウンタ 15 による簡単な回路構成によって PWM 信号 KS の時比率 D を検出し、回路構成が簡単な 1 次のローパスフィルタ 16 の平均化特性を利用して時比率 D を平均化する。さらに、コントローラ IC 7 では、ランプ係数を 1 に設定しているため、補正する際にパルス幅平均値 D_a にランプ係数 K を乗算する必要がない。

【0118】

[③入力電圧に応じた利得調整機能]

次に、入力電圧に応じた利得調整機能を実現する回路構成について説明する。

この機能を実現する回路構成は、例えば、図 2 に示すコントローラ IC 7 を構成する各要素のうち、加算器 11 と、乗算器 12, 13 と、PWM 信号生成回路 20 と、カウンタ 15 と、ローパスフィルタ 16 と、除算器 17 と、ランプ信号回路 18 とにより構成される。

【0119】

入力電圧に応じた利得調整機能の特徴は、コントローラ IC 7 の帰還ループにローパスフィルタ 16 および除算器 17 を備え、PWM 信号 KS の時比率平均値 Da および目標電圧 Vr に基づいて算出された利得調整値をフィードバックさせることであり、その結果、スイッチング電源装置 1 全体の利得を安定させる点である。

【0120】

ここで、コントローラ IC 7 の帰還ループで上述した利得調整値をフィードバックすることにより、スイッチング電源装置 1 全体の利得が安定する理由について説明する。以下の説明では、コントローラ IC 7 の利得（すなわち、制御系の利得）を Gc とし、スイッチング電源装置 1 を含む系全体としての利得を Ga とする。

【0121】

コントローラ IC 7 としての利得 Gc は、乗算器 12 の利得 G に利得調整値を乗算した値であり、以下に記載する式 9 により表される。

【0122】

$$G_c = G * (D_a / V_r) \quad \cdots \text{(式 9)}$$

【0123】

また、系全体としての利得 Ga は、利得 Gc に入力電圧 Vi を乗算した値であり、以下に記載する式 10 により表される。

【0124】

$$G_a = G_c * V_i \quad \cdots \text{(式 10)}$$

【0125】

また、時比率 D は、出力電圧 Vo を入力電圧 Vi で除算した値であり、以下に記載する式 11 により表される。

【0126】

$$D = V_o / V_i \quad \cdots \text{(式11)}$$

【0127】

式11を変形して、以下に記載する式12とする。

【0128】

$$V_i = V_o / D \quad \cdots \text{(式12)}$$

【0129】

式12により表される入力電圧 V_i は、出力電圧 V_o を時比率 D で除算した値である。したがって、入力電圧の平均値 V_{ia} は、出力電圧の平均値 V_{oa} を時比率の平均値 D_a で除算した値となり、以下に記載する式13により表される。

【0130】

$$V_{ia} = V_{oa} / D_a \quad \cdots \text{(式13)}$$

【0131】

ここで、出力電圧 V_o は、目標電圧 V_r になるようにフィードバック制御されるため、出力電圧 V_o は目標電圧 V_r を基準として変化する。したがって、出力電圧の平均値 V_{oa} は、目標電圧 V_r に等しいとみなすことができる。すなわち、入力電圧の平均値 V_{ia} は、目標電圧 V_r を時比率の平均値 D_a で除算した値となり、以下に記載する式14により表される。

【0132】

$$V_{ia} = V_r / D_a \quad \cdots \text{(式14)}$$

【0133】

上述した式9および式14に基づいてコントローラIC7の利得 G_c を求めると、コントローラIC7の利得 G_c は、乗算器12の利得 G を入力電圧の平均値 V_{ia} で除算した値となり、以下に記載する式15により表される。

【0134】

$$G_c = (G / V_{ia}) \quad \cdots \text{(式15)}$$

【0135】

上述した式10および式15に基づいて系全体の利得 G を求めると、系全体の利得 G は、以下に記載する式16により表される。

【0136】

$$G_a = (G/V_{ia}) * V_i \quad \cdots \text{(式16)}$$

【0137】

ここで、入力電圧 V_i と入力電圧の平均値 V_{ia} とは、定常的には等しいとみなせる。したがって、式16により表される入力電圧 V_i と入力電圧の平均値 V_{ia} が相殺され、系全体の利得 G_a は、乗算器12の利得 G と等しくなる ($G_a = G$)。すなわち、系全体の利得 G_a は、入力電圧 V_i と無関係に成立することになる。

【0138】

このように、コントローラ IC7では、乗算器12の利得 G を、入力電圧の平均値 V_{ia} ($=V_r/D_a$) の逆数 (D_a/V_r) で乗算することにより (式9参照)、系全体の利得 G_a が入力電圧 V_i に依存しないようにしている (式16参照)。したがって、入力電圧 V_i が変化した場合でも、系全体としての利得 G_a は変化しない。ちなみに、スイッチング電源装置1の利得は、インダクタ4及びコンデンサ5により、周波数に応じた利得を有している。したがって、系全体の利得 G_a も、図22に示すように、低周波数領域では G に等しくなり、高周波数領域では周波数に応じて変化する。

【0139】

次に、図23に示すタイミングチャートを参照して、コントローラ IC7のカウンタ15、ローパスフィルタ16および除算器17における信号の流れについて説明する。図23(a)は、コントローラ IC7のPWM信号生成回路20から出力されるPWM信号 K_S の波形を示す図である。図23(a)に示すように、PWM信号 K_S は、ローレベルとハイレベルの信号が交互に繰り返されて出力されている。図23(b)は、コントローラ IC7のカウンタ15におけるカウンタアップ状態を示す信号 cnt の波形を示す図である。図23(c)は、カウンタ15から出力される信号 DS の内容を示す図である。図23(d)は、スイッチング電源装置1のマスタークロック MC に基づいて生成されたりセット信号 RES のパルス波形を示す図である。図23(d)に示すように、リセット信号 RES は、所定の間隔でローレベルとハイレベルの信号が交互に繰り返されて出力

されている。図 23 (e) は、スイッチング電源装置 1 のマスタークロック MC に基づいて生成されたサンプル信号 SMP のパルス波形を示す図である。図 23 (e) に示すように、サンプル信号 SMP は、所定の間隔でローレベルとハイレベルの信号が交互に繰り返されて出力されている。図 23 (f) は、コントローラ IC 7 のローパスフィルタ 16 から出力される信号 AS の内容を示す図である。図 23 (g) は、コントローラ IC 7 の除算器 17 から出力される信号 ES の内容を示す図である。

【0140】

まず、時間 t_{33} において、PWM 信号生成回路 20 から出力される PWM 信号 KS がローレベルからハイレベルに切り替わると (図 23 (a))、カウンタ 15 は、リセット済であるカウンタ値のカウントアップを開始する (図 23 (b))。また、時間 t_{33} において、リセット信号 RES は、ローレベルからハイレベルに切り替わる (図 23 (d))。

【0141】

次に、時間 t_{32} において、PWM 信号生成回路 20 から出力される PWM 信号 KS がハイレベルからローレベルに切り替わると (図 23 (a))、カウンタ 15 は、カウントアップを停止する (図 23 (b))。すなわち、本実施形態におけるカウンタ 15 は、PWM 信号 KS のオン時間をカウントする。

【0142】

次に、時間 t_{33} において、サンプル信号 SMP がローレベルからハイレベルに切り替わると (図 23 (e))、カウンタ 15 は、現時点におけるカウント値である “ D_n ” を示す信号 DS を出力する (図 23 (c))。なお、この信号 DS の出力内容である “ D_n ” は、次回にサンプル信号がローレベルからハイレベルに切り替わるまで (時間 t_{35}) 保持される。

【0143】

また、時間 t_{33} において、カウンタ 15 から出力される信号 DS の内容が “ D_{n-1} ” から “ D_n ” に切り替わると (図 23 (c))、ローパスフィルタ 16 から出力される信号 AS の内容が “ Y_{n-1} ” から “ Y_n ” に切り替わる (図 23 (f))。なお Y_n は、上述した式 4 に表されるように、過去に入力された時比

率の平均値 D_a を示す。また、この信号 AS の出力内容である “ Y_n ” は、次回にサンプル信号がローレベルからハイレベルに切り替わるまで（時間 t_{35} ）保持される。

【0144】

さらに、時間 t_{33} において、ローパスフィルタ 16 から出力される信号 AS の内容が “ Y_{n-1} ” から “ Y_n ” に切り替わると（図 23（f））、除算器 17 から出力される信号 ES の内容が “ $(Y_{n-1}) / V_r$ ” から “ Y_n / V_r ” に切り替わる（図 23（f））。なお、この信号 ES の出力内容である “ Y_n / V_r ” は、次回にサンプル信号がローレベルからハイレベルに切り替わるまで（時間 t_{35} ）保持される。

【0145】

次に、時間 t_{34} において、リセット信号 RES が、ハイレベルからローレベルに切り替わると（図 23（d））、カウンタ 15 は、カウント値をリセットする（図 23（b））。これにより、カウンタ 15 は、次のスイッチング周期におけるカウントを、リセット後のカウント値から開始することができる。

【0146】

なお、コントローラ IC7 の PWM 信号生成回路 20 における信号の流れについては、上述した位相進みによる位相補償機能と同様（図 20 参照）であるため、説明を省略する。

【0147】

以上のように、入力電圧に応じた利得調整機能を有するコントローラ IC7 によれば、コントローラ IC7 から出力される PWM 信号 KS の時比率 D を帰還ループでフィードバックさせ、制御系の利得 G_c を入力電圧の平均値 V_{ia} の逆数 (D_a / V_r) で調整するため、入力電圧 V_i が変化しても、系全体の利得 G が変化しない。そのため、コントローラ IC7 では、広い入力電圧範囲に対応可能であり、位相余裕の最適化も可能である。したがって、入力電圧 V_i が低い場合でも応答が良好であり、入力電圧 V_i が高い場合でも出力電圧が発振しない。

【0148】

また、入力電圧に応じた利得調整機能を有するコントローラ IC7 では、カウ

ンタ 15 による簡単な回路構成によって PWM 信号 KS の時比率 D を検出し、回路構成が簡単な 1 次のローパスフィルタ 16 の平均化特性を利用して時比率 D を平均化する。さらに、コントローラ IC 7 では、目標電圧 V_r と時比率の平均値 D_a によって入力電圧の平均値を推定するので、入力電圧 V_i を検出する手段や入力電圧 V_i を平均化する手段を必要としない。また、コントローラ IC 7 では、出力電圧 V_o の平均値として目標電圧 V_r を用いているので、出力電圧 V_o を平均化する手段を必要としない。

【0149】

以上のように、本実施形態におけるコントローラ IC 7 では、①位相進みによる位相補償機能、②定常偏差の補正機能、③入力電圧に応じた利得調整機能を有しているが、これらの機能を組み合わせて備えることにより、例えば、カウンタ 15、ローパスフィルタ 16、加算器 14 を、各機能で共通して使用することができるため、構成要素の削減を図ることが可能になる。

【0150】

[第 2 実施形態]

次に、本発明の第 2 実施形態について説明する。上述した第 1 実施形態と異なる点は、コントローラ IC の構成の一部が異なる点である。したがって、以下においては、第 1 実施形態と異なる点について詳述し、第 1 実施形態と同様の構成要素には同一の符号を付しその説明は省略することとする。

【0151】

まず、図 24 を参照して第 2 実施形態におけるコントローラ IC 7 S の構成を説明する。図 24 に示すように、第 2 実施形態におけるコントローラ IC 7 S は、遅延器である D フリップフロップ 19 (遅延手段) と、リミッタ回路 22 R とをさらに有し、カウンタ 15 を省いた点で第 1 実施形態におけるコントローラ IC 7 の構成と異なる。

【0152】

D フリップフロップ 19 は、加算器 14 から出力された信号 IS および PWM 信号生成回路 20 から出力された PWM 信号 KS に基づいて、信号 DK S を出力する。すなわち、D フリップフロップ 19 は、D 信号として信号 IS が入力され

、クロック信号としてPWM信号KSが入力され、Q信号として信号DKSが出力される。

【0153】

リミッタ回路22Rは、AND回路22に対応する機能を有し、Dフリップフロップ19から出力される信号DKSのパルス幅の上限をAND回路22におけるパルス幅制限と同様に制限する機能を有する。

【0154】

次に、図25に示すタイミングチャートを参照して、コントローラIC7SのDフリップフロップ19における信号の流れについて説明する。図25(a)は、コントローラIC7SのPWM信号生成回路20から出力されるPWM信号KSの波形を示す図である。図25(b)は、コントローラIC7Sの加算器14から出力される信号ISを示す図である。図25(c)は、Dフリップフロップ19から出力される信号DKSの内容を示す図である。

【0155】

まず、時間t41において、PWM信号生成回路20から出力されるPWM信号KSがハイレベルからローレベルに切り替わると(図25(a))、Dフリップフロップ19は、その時点の信号ISの値である“Dn”を示す信号DKSを出力する(図25(b), (c))。なお、この信号DKSの出力内容である“Dn”は、次回にPWM信号KSがハイレベルからローレベルに切り替わるまで(時間t42)保持される。すなわち、時間t42になると、Dフリップフロップ19は、その時点の信号ISの値である“Dn+1”を示す信号DKSを出力する(図25(b), (c))。

【0156】

なお、Dフリップフロップ19から出力された信号DKSは、リミッタ回路22Rによりリミッターがかけられた後に信号DS2として出力され、この信号DS2が演算回路30およびローパスフィルタ16に入力される。

【0157】

なお、コントローラIC7SのPWM信号生成回路20における信号の流れについては、第1実施形態と同様であるため説明を省略する。

【0158】

以上のように、第2実施形態におけるコントローラIC7Sは、第1実施形態におけるコントローラIC7と同様の効果を有しており、さらに、第1実施形態におけるカウンタ15に代えて、Dフリップフロップ19を使用するため、第2実施形態におけるコントローラIC7Sでは、Dフリップフロップ19による簡単な回路構成によって時比率Dを検出することができる。

【0159】

[変形例]

なお、上述した各実施形態においては、演算回路30がハイパスフィルタ31と積分器32により構成されている場合について説明しているが、演算回路30の構成はこれに限定されない。例えば、図26ないし図30に示すような回路構成を有する演算回路であってもよい。

【0160】

図26ないし図28は、二次のハイパスフィルタと積分器とを融合した演算回路30V、30W、30Xの詳細回路構成を示す図である。図26に示す演算回路30Vは、遅延器であるDフリップフロップ30VA～30VCと、乗算係数が“ $b_1 + b_2$ ”である乗算器30VDと、乗算係数が“ $b_1 * b_2$ ”である乗算器30VEと、加算器30VFとを有する。図27に示す演算回路30Wは、遅延器であるDフリップフロップ30WA、30WBと、加算器30WC、30WDとを有する。図28に示す演算回路30Xは、遅延器であるDフリップフロップ30XA、30XBと、加算器30XC、30XDとを有する。

【0161】

演算回路30V、30W、30Xの回路構成は、以下に記載する式17により表される演算回路30V、30W、30Xの伝達関数 $H(Z)$ に基づいて構成されている。

【0162】

$$(1 - Z^{-1}) / [(1 - b_1 * Z^{-1})(1 - b_2 * Z^{-1})] \quad \dots \quad (\text{式17})$$

(b_1 , b_2 は係数)

【0163】

この式 17 は、二次のハイパスフィルタの伝達関数と積分器の伝達関数とを乗算して求められたものである。

【0164】

図 29 は、一次のハイパスフィルタが有する機能と積分器が有する機能とを融合した演算回路 30 Y の詳細回路構成を示す図である。ここで、この演算回路 30 Y の回路構成には、一次のハイパスフィルタと積分器とを別個に連続して組み合わせた回路構成は含まれない。図 29 に示す演算回路 30 X は、遅延器である D フリップフロップ 30 Y A と、乗算係数が “b” である乗算器 30 Y B と、加算器 30 Y C とを有する。この回路構成は、以下に記載する式 18 により表される演算回路 30 Y の伝達関数 $H(Z)$ に基づいて構成されている。

【0165】

$$1 / (1 - b * Z^{-1}) \quad \dots \quad (\text{式 18}) \quad (b \text{ は係数})$$

【0166】

この式 18 は、一次のハイパスフィルタの伝達関数と積分器の伝達関数とを乗算して求められたものである。

【0167】

図 30 は、一次のハイパスフィルタ 31 S と、乗算器 32 とを有する演算回路 30 Z の詳細回路構成を示す図である。図 30 に示すように、乗算器 32 は、二つの一次のハイパスフィルタ 31 S に挟まれて配置されており、一方の一次のハイパスフィルタ 31 S から出力された信号を入力するとともに、この乗算器 32 で乗算した後の信号を他方の一次のハイパスフィルタ 31 S に出力する。なお、図 30 に示す遅延器 32 A は、乗算器 32 と、当該乗算器 32 の出力側に配置された一次のハイパスフィルタ 31 S とで共用される。この回路構成は、一次のハイパスフィルタの伝達関数と、積分器の伝達関数に基づいてそれぞれ構成されている。

【0168】

また、上述した各実施形態においては、PWM 信号生成回路 20 から出力される PWM 信号 K S が、ローレベルからハイレベルに切り替わるタイミングを固定し、PWM 信号 K S がハイレベルからローレベルに切り替わるタイミングを、加

算器 14 から出力された信号 IS およびランプ信号回路 18 から出力されたランプ信号 RS に基づいて制御しているが、PWM 信号 KS の切り替えのタイミングは、これに限られない。例えば、PWM 信号 KS がハイレベルからローレベルに切り替わるタイミングを固定し、PWM 信号 KS が、ローレベルからハイレベルに切り替わるタイミングを、加算器 14 から出力された信号 IS およびランプ信号回路 18 から出力されたランプ信号 RS に基づいて制御してもよい。この場合に、上述した第 2 実施形態における D フリップフロップ 19 は、PWM 信号 KS がローレベルからハイレベルに切り替えられた時点における信号 IS の値に対応する信号 DKS を出力すればよい。

【0169】

また、上述した各実施形態においては、除算器 17 により、目標電圧 V_r を示すデジタル信号および時比率 D の平均値 D_a を示す信号に基づいて、 (D_a / V_r) の値を示す信号 ES を生成して出力しているが、信号 ES を生成する手段はこれに限られない。例えば、除算器 17 に替えて、乗算器を備え、この乗算器に入力する信号をテーブル Ta に格納されているテーブル値 t_v に対応する信号にしてもよい。このテーブル Ta は、目標電圧 V_r を変換する値としてテーブル値 t_v が設定されたテーブルである。このテーブル Ta に格納されるテーブル値の内容を図 31 に示す。図 31 に示すように、テーブル Ta に格納されているテーブル値 t_v は、目標電圧 V_r に対する逆数値（図 31 の破線で示す V_r に対する t_v ）ではなく、目標電圧 V_r を変数としたマイナスの比例係数（例えば、 -1 ）を有する一次関数値（図 31 の実線で示す V_r に対する t_v ）である。これは、逆数値とするより、一次関数値とすることにより、系全体としての利得 G_a のばらつきが少なくなるからである。この理由としては、スイッチング電源装置 1 における各素子の内部抵抗による内部損失等が考えられる。なお、テーブル Ta は、コントローラ IC 7 の ROM 等の記憶手段に予め記憶されている。また、乗算器は、目標電圧 V_r に応じたテーブル Ta のテーブル値 t_v とローパスフィルタ 16 からの時比率の平均値 D_a が入力され、その平均値 D_a にテーブル値 t_v を乗算し、その乗算値である “ $D_a \times t_v$ ” を利得調整値として乗算器 13 に出力する。このように回路構成が複雑な除算器に替えて、乗算器 22 およびテーブ

ル T_a を備えることにより、簡単な回路構成によって利得調整値を設定することができる。また、テーブル T_a のテーブル値 t_v を目標電圧 V_r の逆数値ではなく、一次関数値で設定することにより、系全体の利得 G_a のばらつきを低減することができる。

【0170】

さらに、上述したテーブル T_a の代わりに、マイナスの乗算係数を有する乗算器と所定の値（例えば、図 31 に示す実線グラフの Y 軸との切片）を加算する加算器により変換手段を構成してもよい。また、テーブル T_a のテーブル値 t_v として目標電圧を変数とした一次関数値を設定したが、目標電圧を変数とした逆数値を設定してもよいし、あるいは、スイッチング電源装置の特性に応じて最適な値を設定してもよい。

【0171】

また、上述した各実施形態においては、利得調整値を算出する際に目標電圧 V_r を用いる構成としたが、センサ等で検出した出力電圧を平均化する出力電圧平均化手段を備え、出力電圧の平均値と時比率の平均値とから利得調整値を算出する構成、あるいは、出力電圧の平均値と時比率とから利得調整値を算出する構成としてもよい。特に、出力電圧が安定している場合、出力電圧を平均化することなく検出した出力電圧を直接用いて、出力電圧と時比率の平均値とから利得調整値を設定する構成、あるいは、出力電圧と時比率とから利得調整値を設定する構成としてもよい。

【0172】

また、上述した各実施形態においては、A/D 変換部をコントローラ IC の外部装置として構成したが、A/D 変換部がコントローラ IC に含まれる構成であってもよい。

【0173】

また、上述した各実施形態ではコントローラ IC をデジタル回路で構成したが、アナログ回路で構成してもよい。さらに、マイコン等のコンピュータに組み込むプログラム（ソフトウェア）によって、上述したコントローラ IC の各部が有する機能を構成してもよい。この各部が有する機能を実現するプログラムは、C

D-R O M等の記憶媒体やインターネット等による配信によって流通する場合、あるいはコンピュータに組み込まれた状態でコントローラ I Cとして流通する場合がある。

【0174】

また、上述した各実施形態ではD C / D Cコンバータに適用したが、A C / D CコンバータやD C / A Cコンバータにも適用可能である。また、本発明は、トランスを有しない非絶縁型かつ降圧型のコンバータ、あるいはトランスを有する絶縁型のコンバータのいずれにも適用可能であり、さらに、昇圧型又は昇降圧型のコンバータにも適用可能である。

【0175】

【発明の効果】

本発明に係るスイッチング電源装置用制御装置およびスイッチング電源装置によれば、位相進みを実現することにより位相補償し、入力電圧や負荷電流が変化した場合でも安定した出力電圧を保障し、入力電圧が変化した場合でも系全体の利得を安定化することができる。

【図面の簡単な説明】

【図1】

本発明の各実施形態におけるスイッチング電源装置の回路構成図である。

【図2】

第一実施形態におけるコントローラ I Cの回路構成図である。

【図3】

各実施形態における演算回路の詳細回路構成図である。

【図4】

各実施形態における演算回路の詳細回路構成図である。

【図5】

各実施形態におけるローパスフィルタであり、(a)が詳細回路構成図であり、(b)が周波数-利得特性図である。

【図6】

帰還ループで帰還する制御回路の一例を示す図である。

【図 7】

制御回路における伝達関数の利得特性を示す図である。

【図 8】

制御回路における伝達関数の位相特性を示す図である。

【図 9】

スイッチング電源装置本体における伝達関数の利得特性を示す図である。

【図 1 0】

スイッチング電源装置本体における伝達関数の位相特性を示す図である。

【図 1 1】

コントローラ I C における伝達関数の利得特性を示す図である。

【図 1 2】

コントローラ I C における伝達関数の位相特性を示す図である。

【図 1 3】

コントローラ I C を含むスイッチング電源装置全体における伝達関数の利得特性を示す図である。

【図 1 4】

コントローラ I C を含むスイッチング電源装置全体における伝達関数の位相特性を示す図である。

【図 1 5】

一次のハイパスフィルタを有するコントローラ I C における伝達関数の利得特性を示す図である。

【図 1 6】

一次のハイパスフィルタを有するコントローラ I C における伝達関数の位相特性を示す図である。

【図 1 7】

一次のハイパスフィルタを有するコントローラ I C を含むスイッチング電源装置全体における伝達関数の利得特性を示す図である。

【図 1 8】

一次のハイパスフィルタを有するコントローラ I C を含むスイッチング電源装

置全体における伝達関数の位相特性を示す図である。

【図 1 9】

第一実施形態におけるカウンタおよび演算回路での信号の流れについて説明するタイミングチャートである。

【図 2 0】

各実施形態における P W M 信号生成回路での信号の流れについて説明するタイミングチャートである。

【図 2 1】

第一実施形態におけるカウンタおよびローパスフィルタでの信号の流れについて説明するタイミングチャートである。

【図 2 2】

スイッチング電源装置の系全体としての周波数－利得特性図である。

【図 2 3】

第一実施形態におけるカウンタ、ローパスフィルタおよび除算器での信号の流れについて説明するタイミングチャートである。

【図 2 4】

第二実施形態におけるコントローラ I C の回路構成図である。

【図 2 5】

第二実施形態における D フリップフロップでの信号の流れについて説明するタイミングチャートである。

【図 2 6】

変形例における演算回路の詳細回路構成図である。

【図 2 7】

変形例における演算回路の詳細回路構成図である。

【図 2 8】

変形例における演算回路の詳細回路構成図である。

【図 2 9】

変形例における演算回路の詳細回路構成図である。

【図 3 0】

変形例における演算回路の詳細回路構成図である。

【図 3 1】

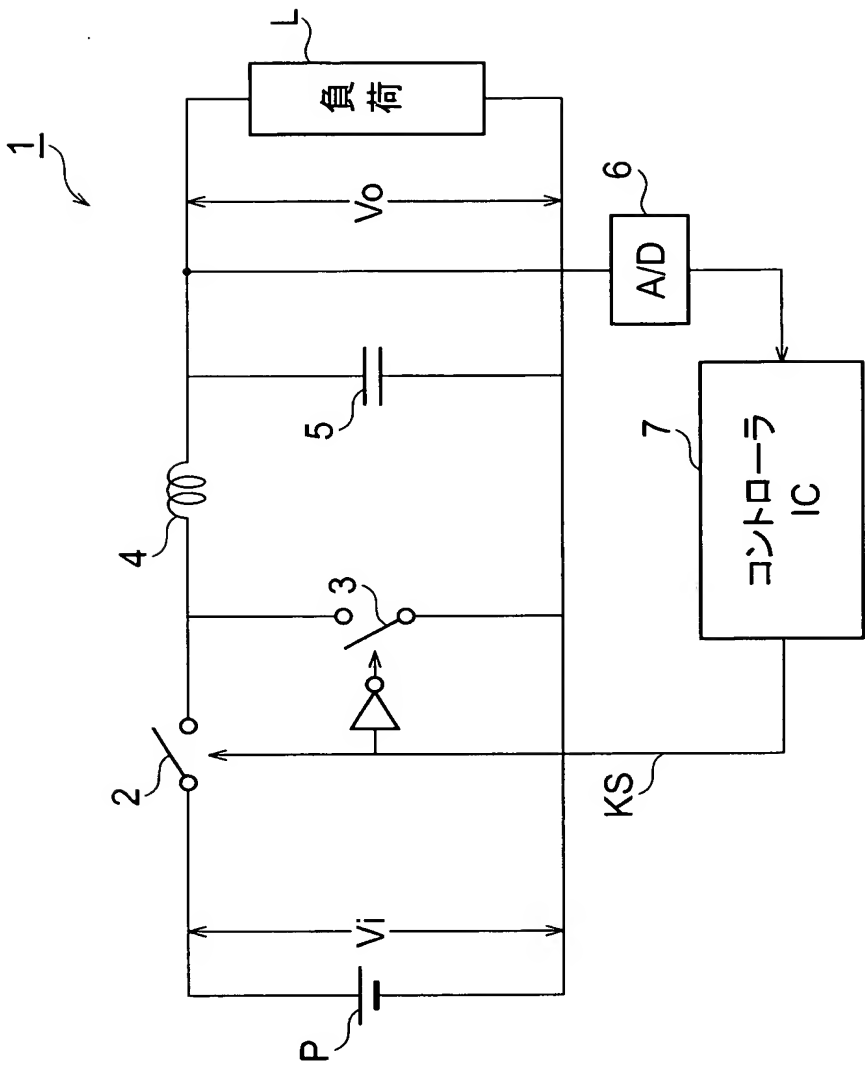
テーブルに格納される目標電圧に対するテーブル値である。

【符号の説明】

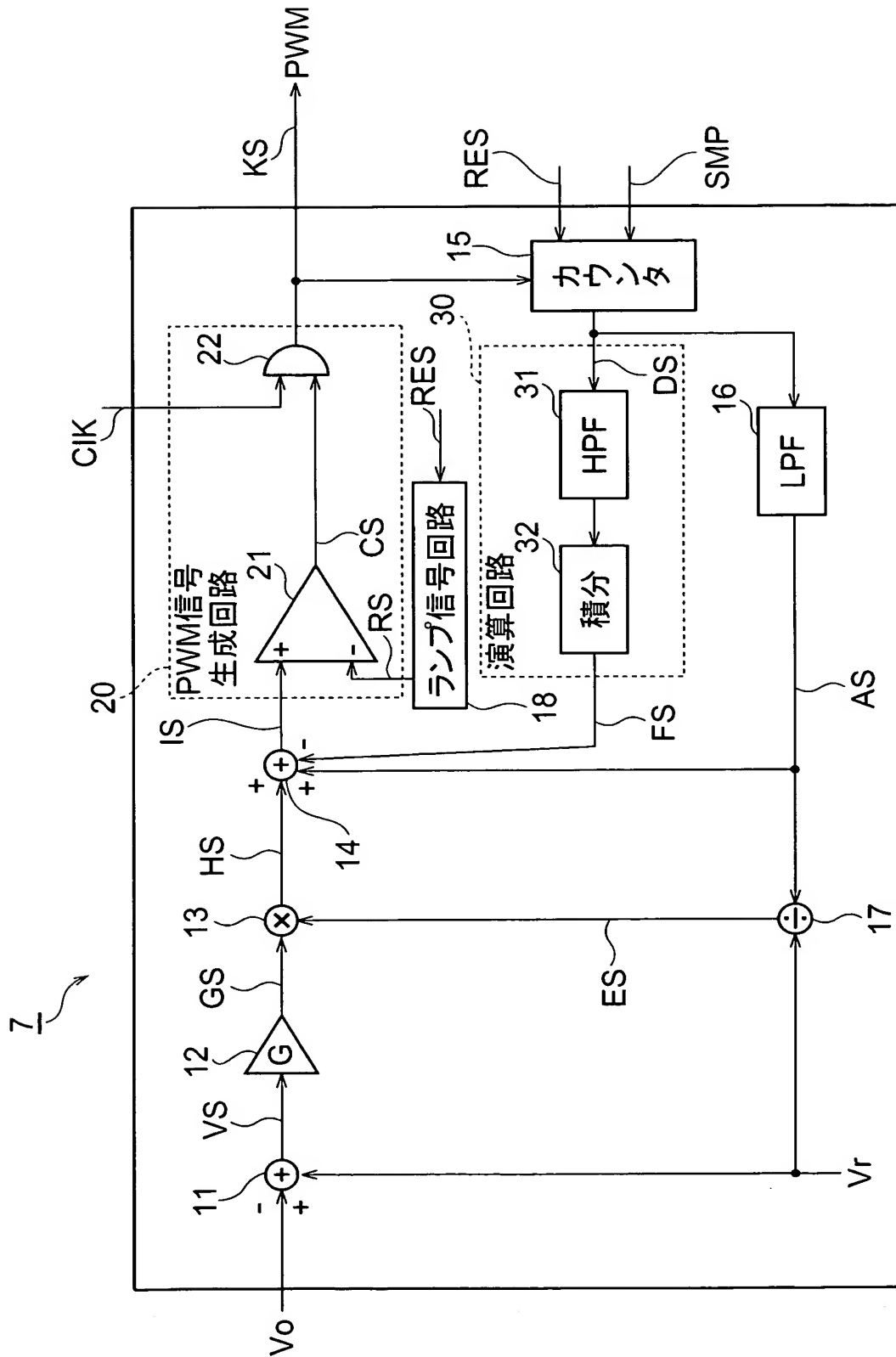
1・・・スイッチング電源装置、2，3・・・スイッチング素子、4・・・インダクタ、
5・・・コンデンサ、6・・・AD変換部、7，7S・・・コントローラIC、L・・・負荷
、P・・・電源、11，14・・・加算器、12，13・・・乗算器、15・・・カウンタ、
16・・・ローパスフィルタ、17・・・除算器、18・・・ランプ回路、19・・・Dフリ
ップフロップ、22R・・・リミッタ回路、20・・・PWM信号生成回路、21・・・
コンパレータ、22・・・AND回路、30、30V，30W，30X，30Y，
30Z・・・演算回路、31，31S・・・ハイパスフィルタ、32・・・積分器。

【書類名】 図面

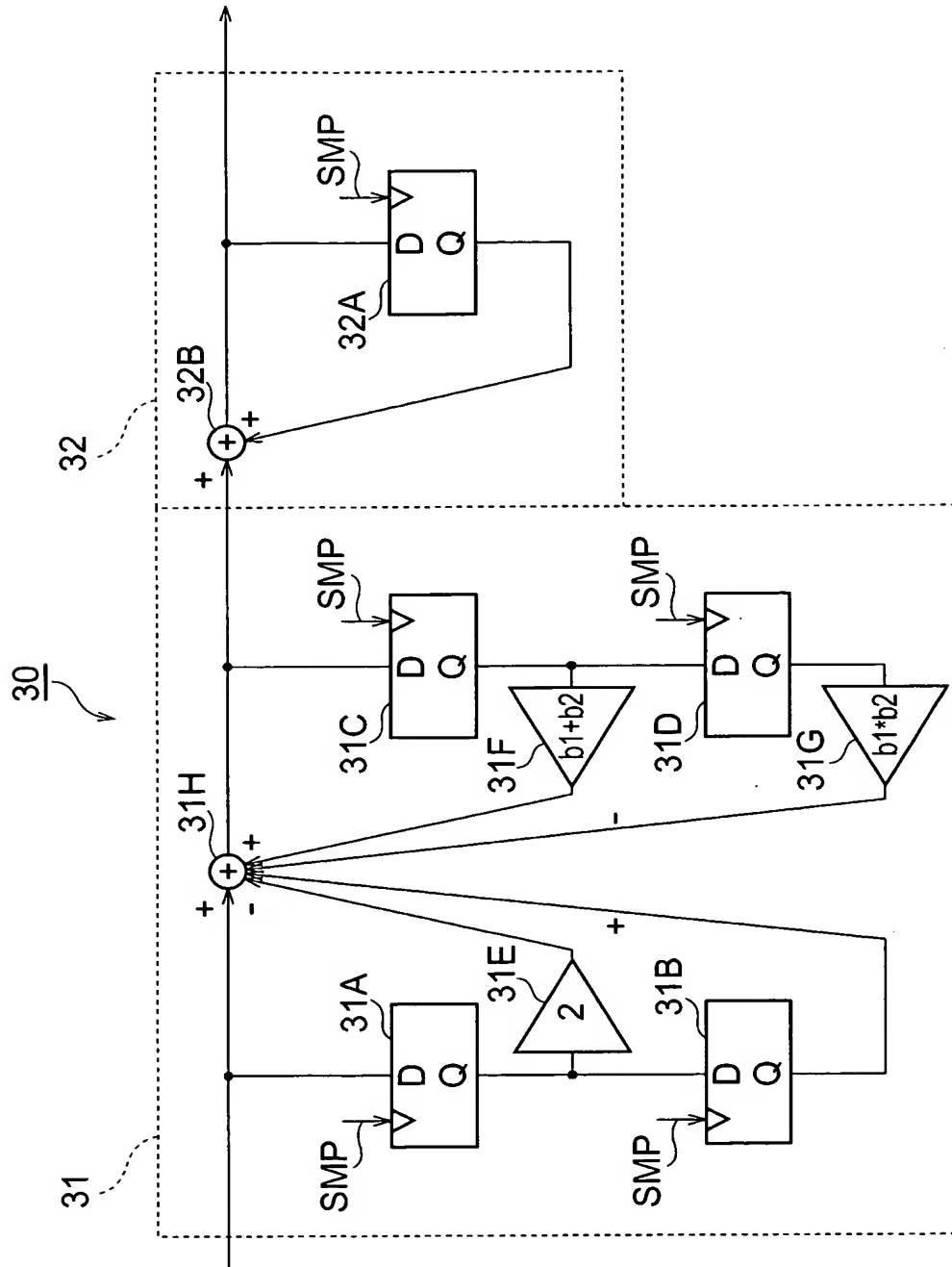
【図 1】



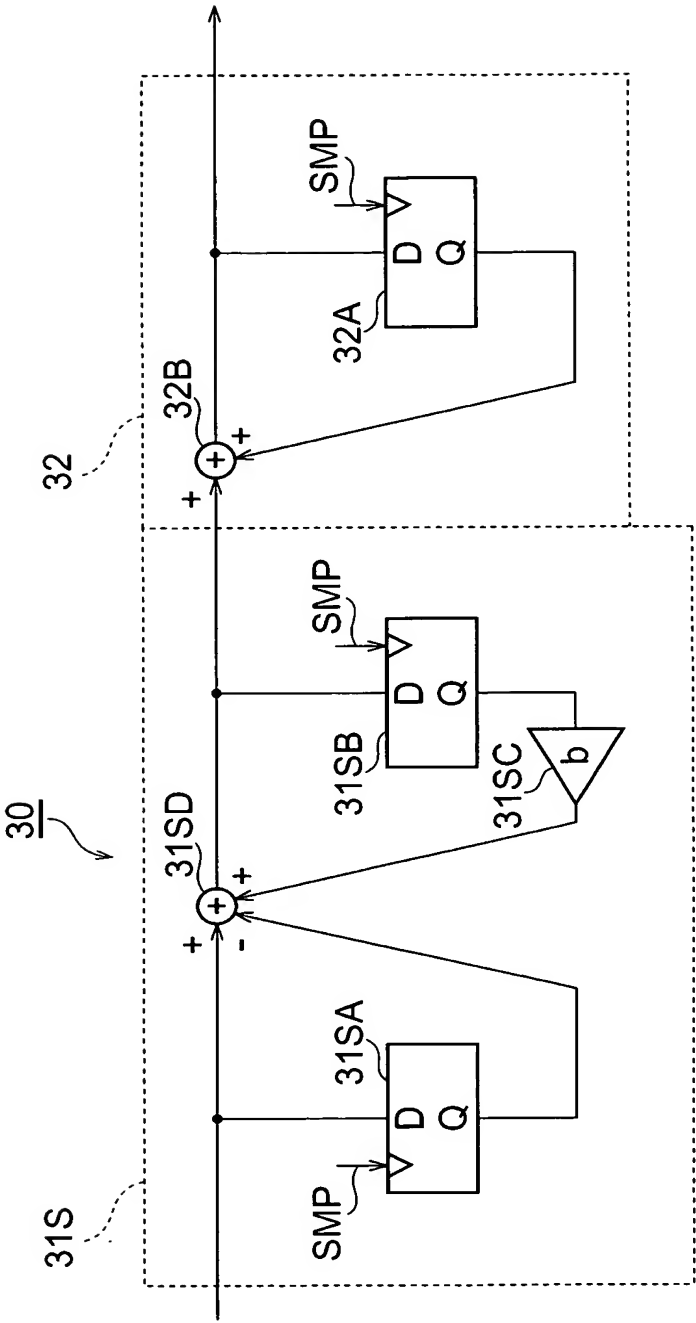
【図2】



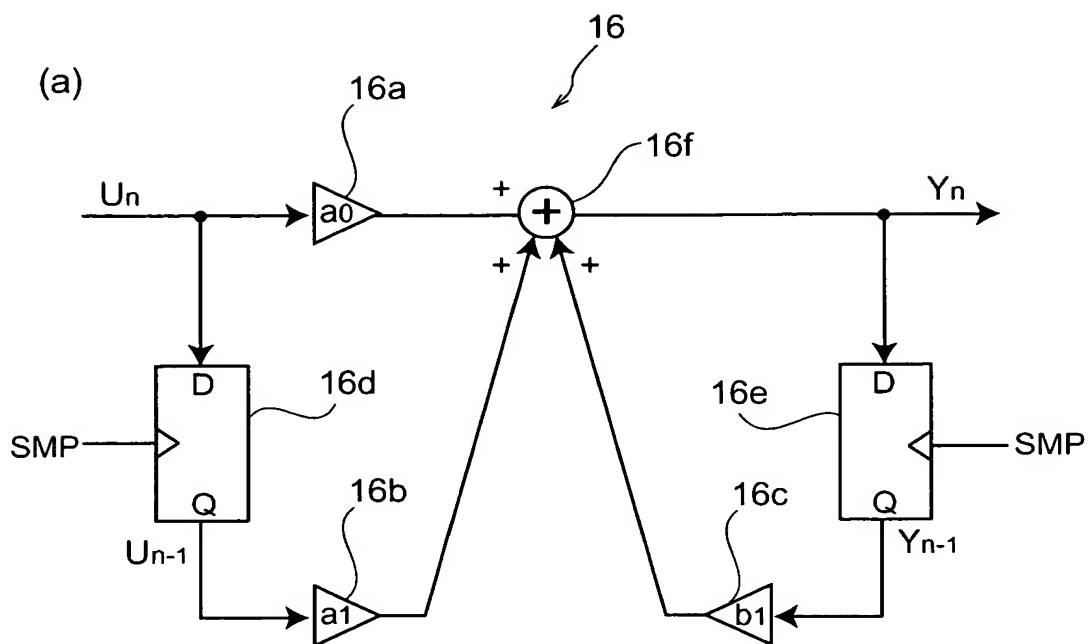
【図 3】



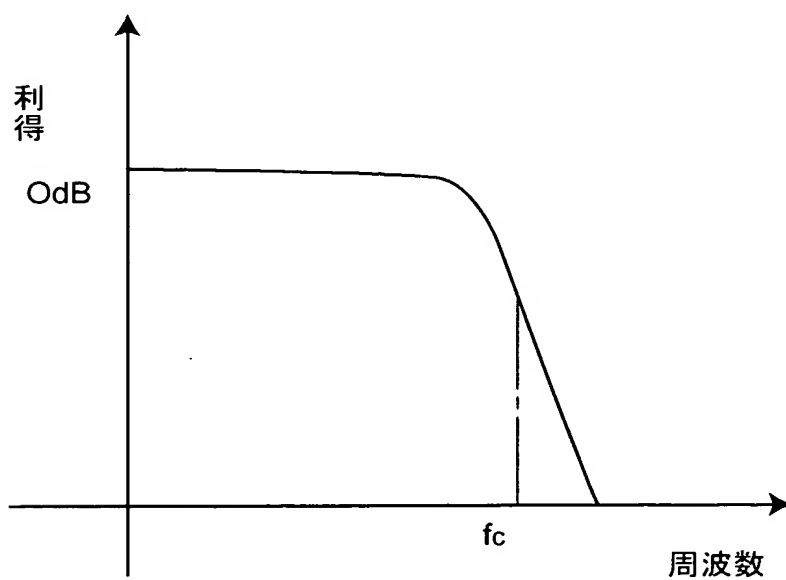
【図 4】



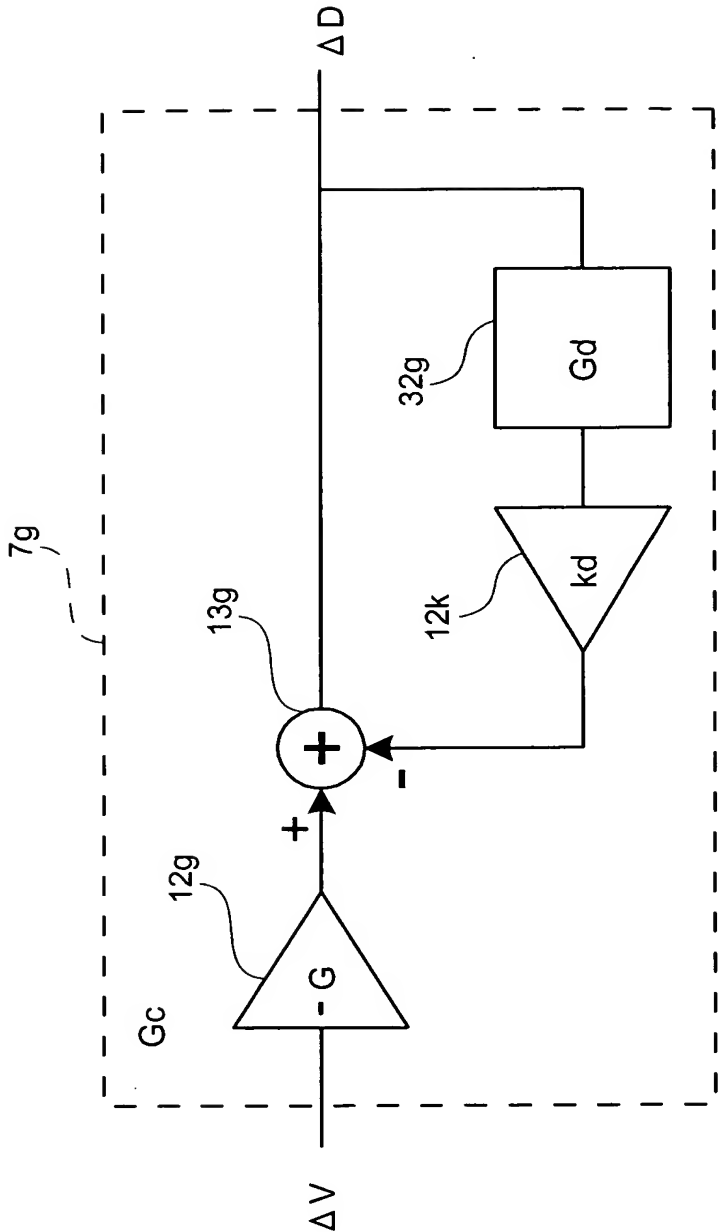
【図 5】



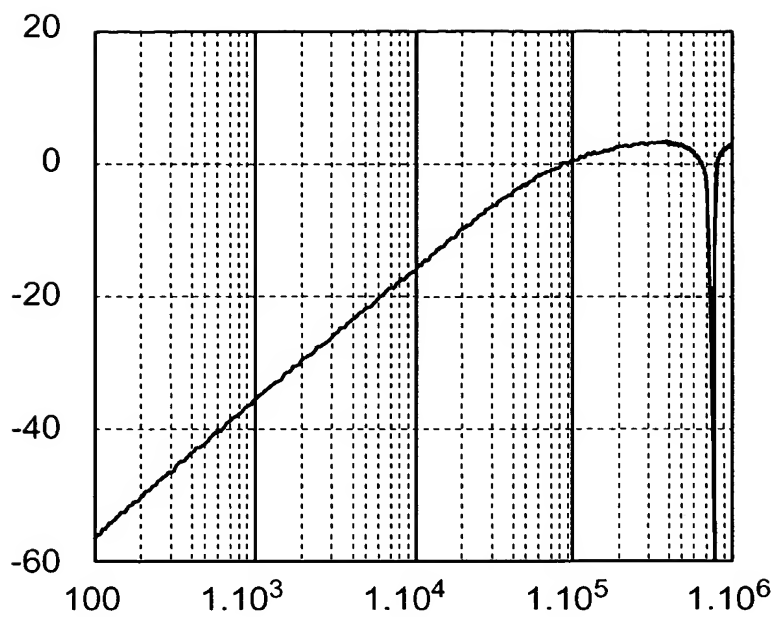
(b)



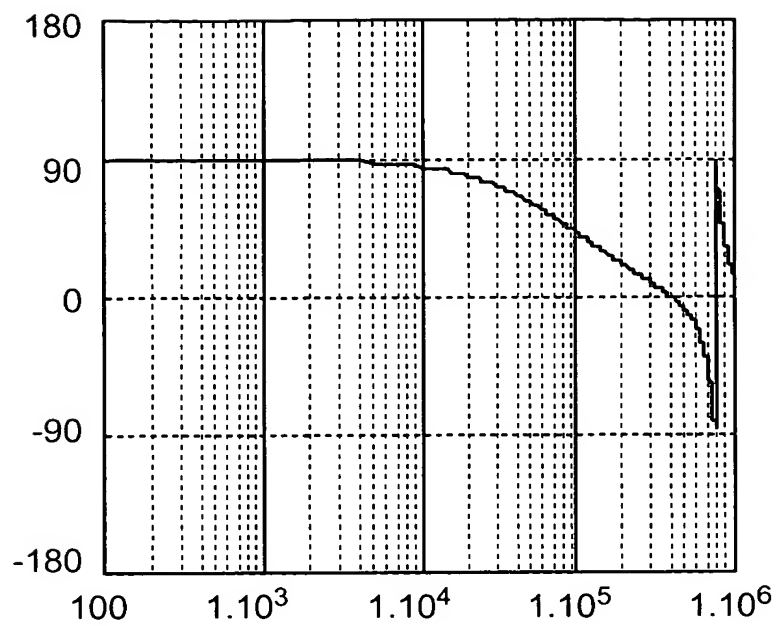
【図 6】



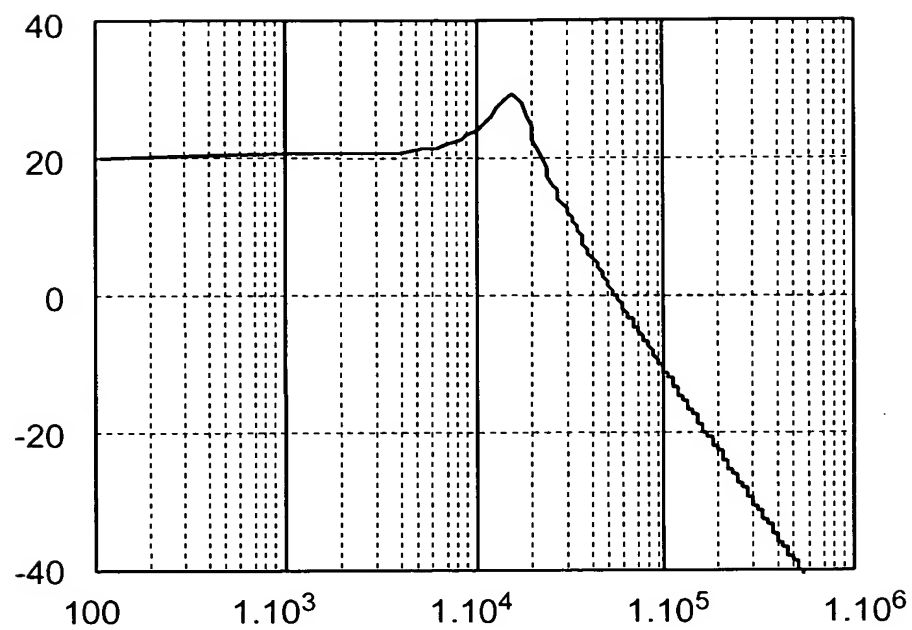
【図 7】



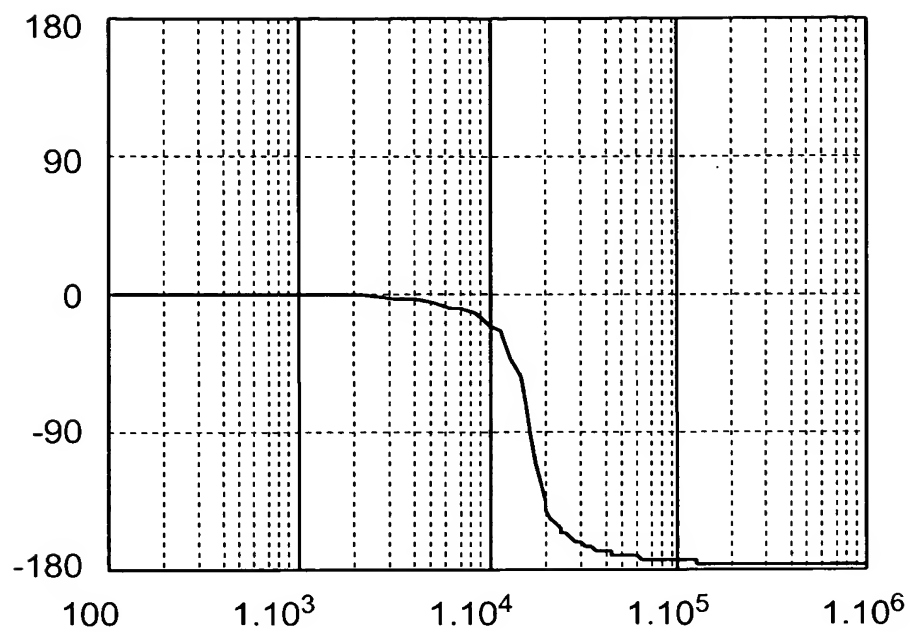
【図 8】



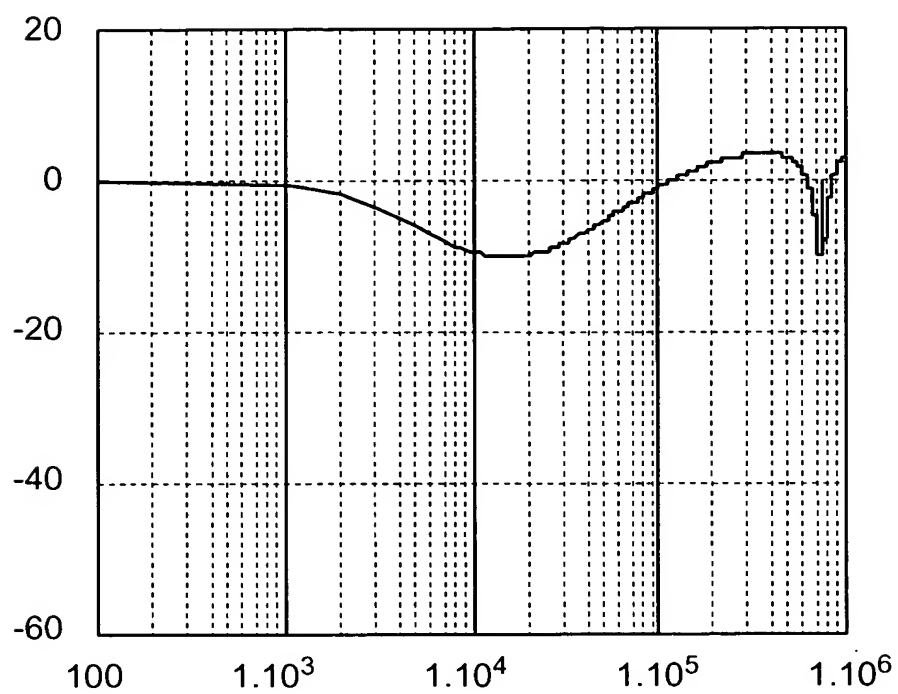
【図 9】



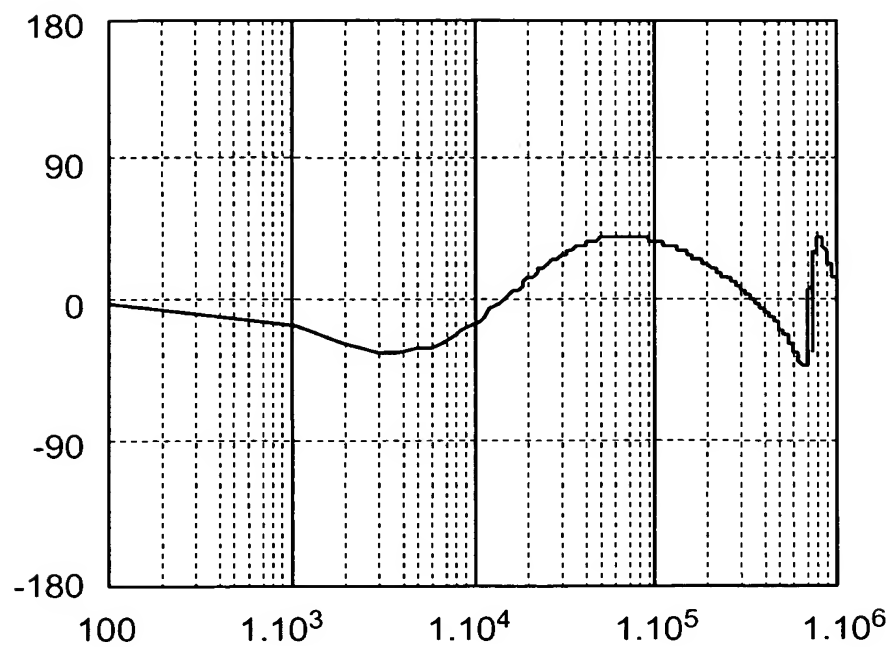
【図 10】



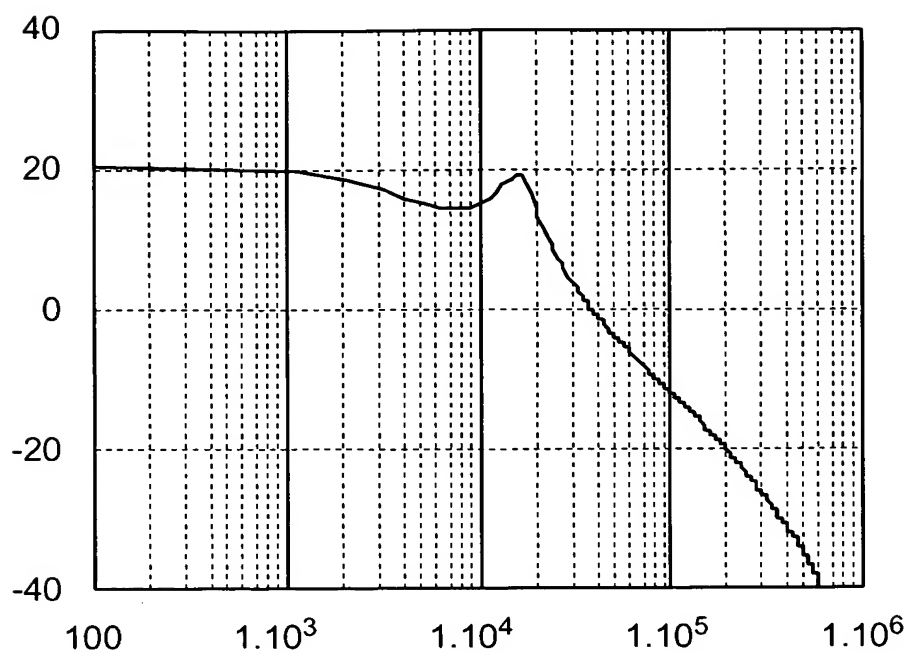
【図 11】



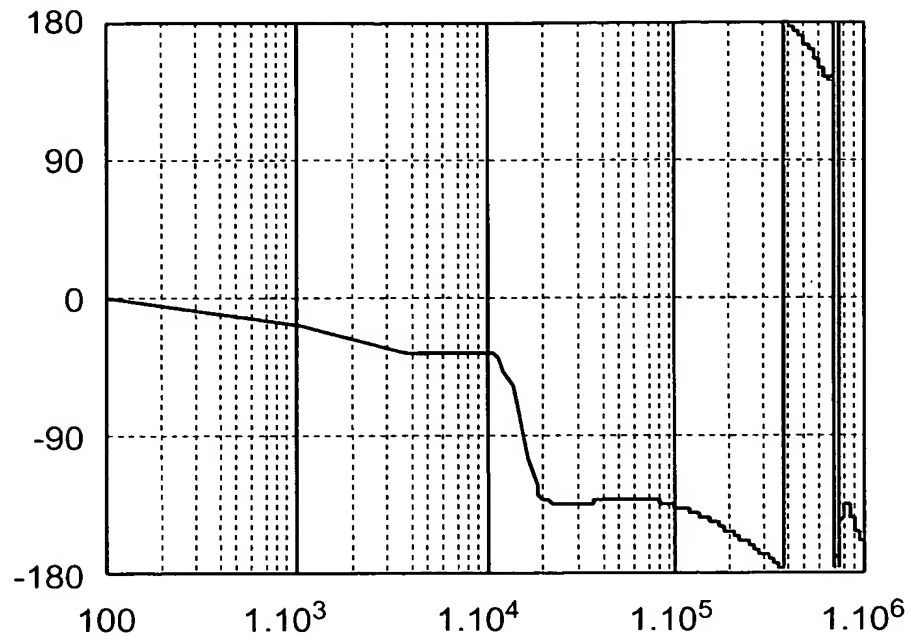
【図 12】



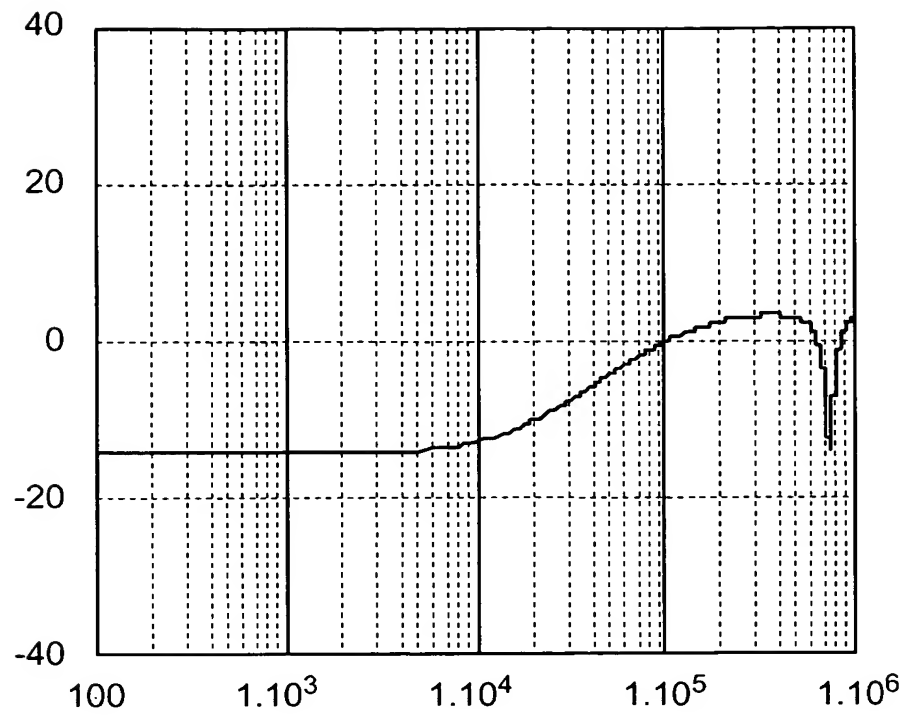
【図 1 3】



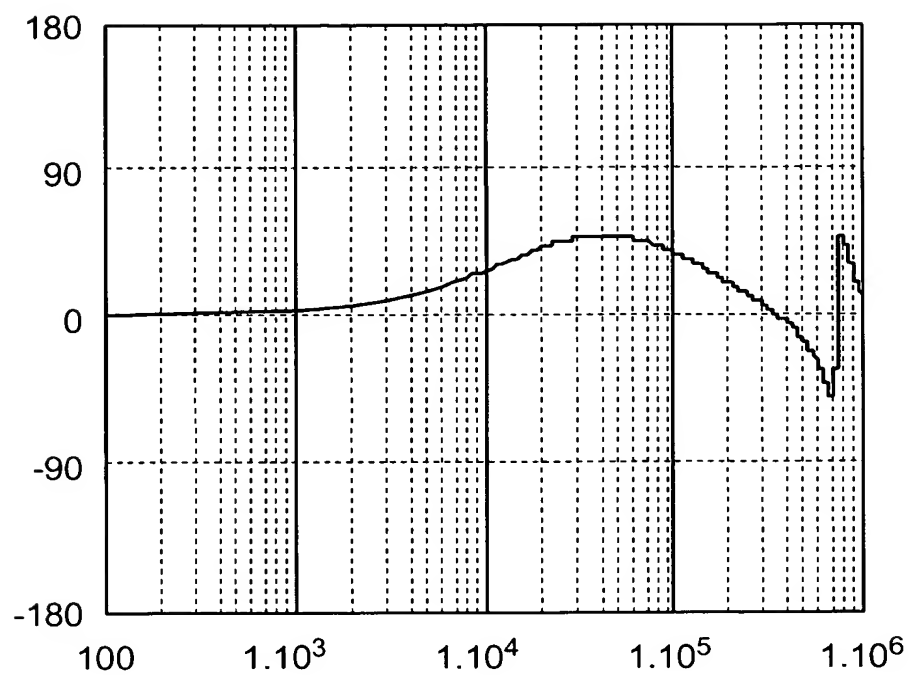
【図 14】



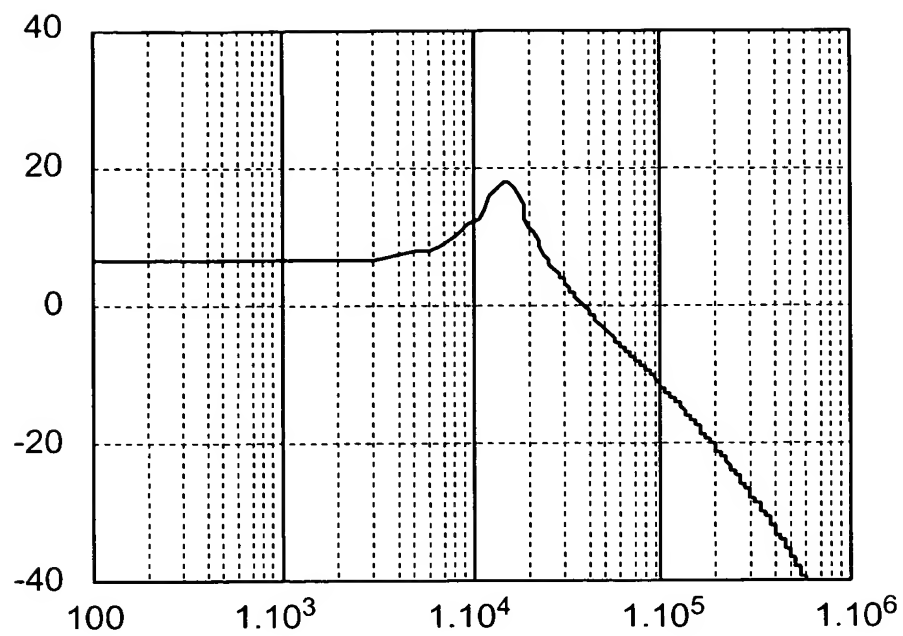
【図 15】



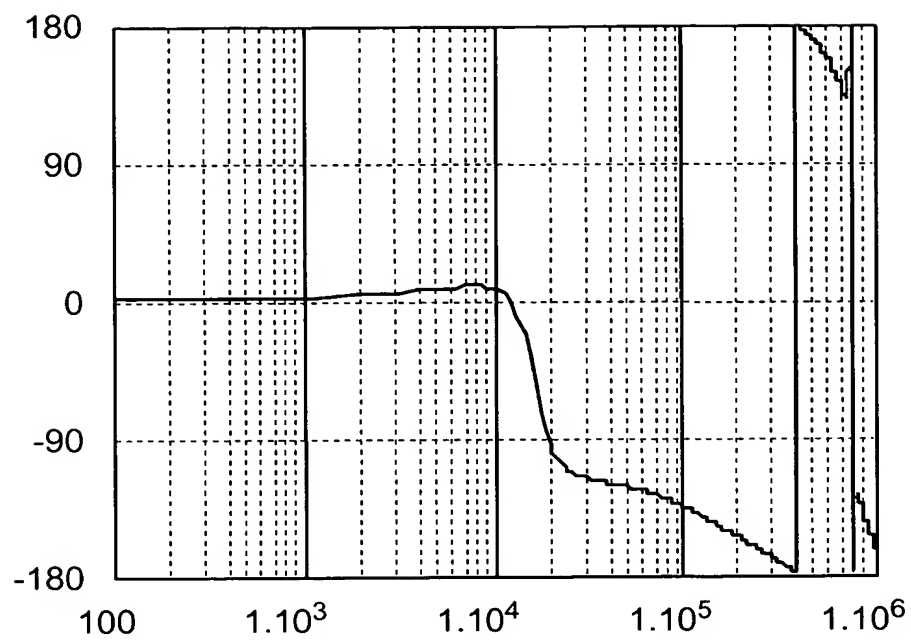
【図 16】



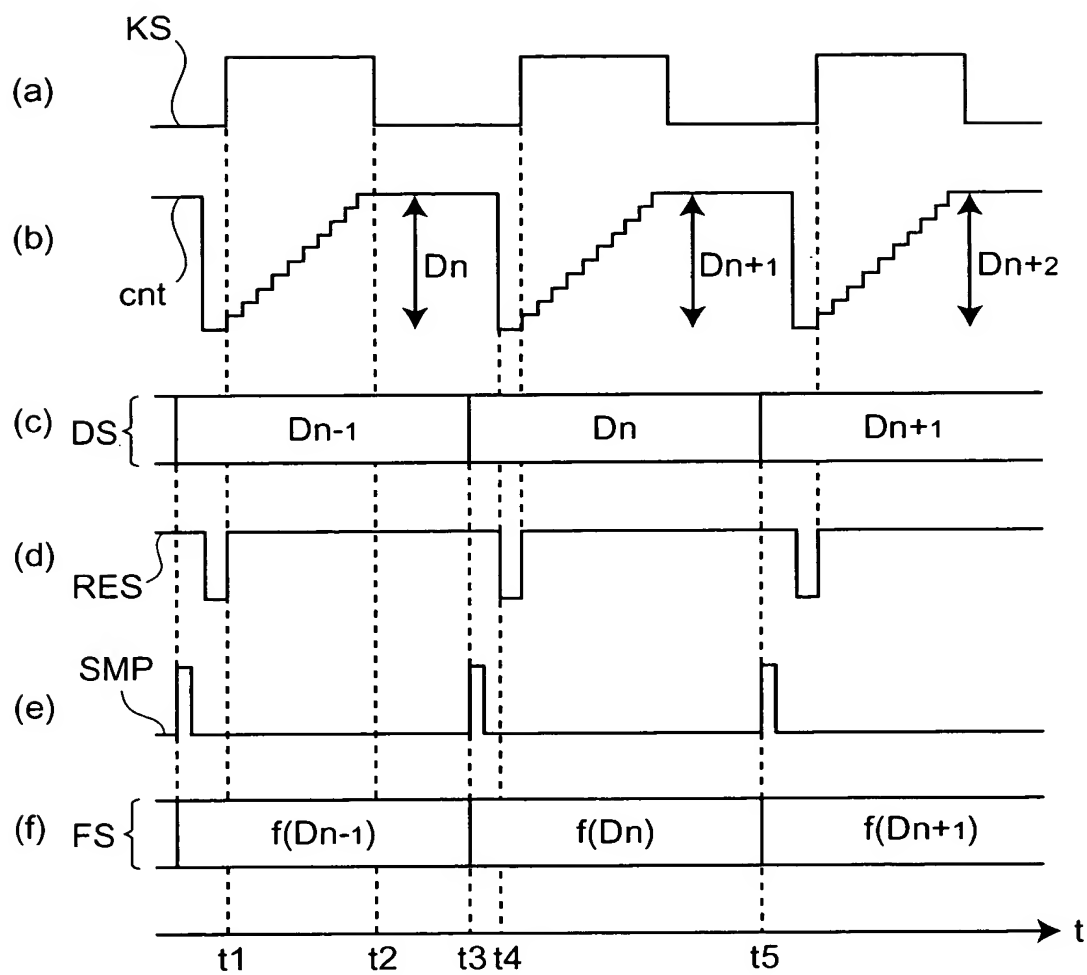
【図 17】



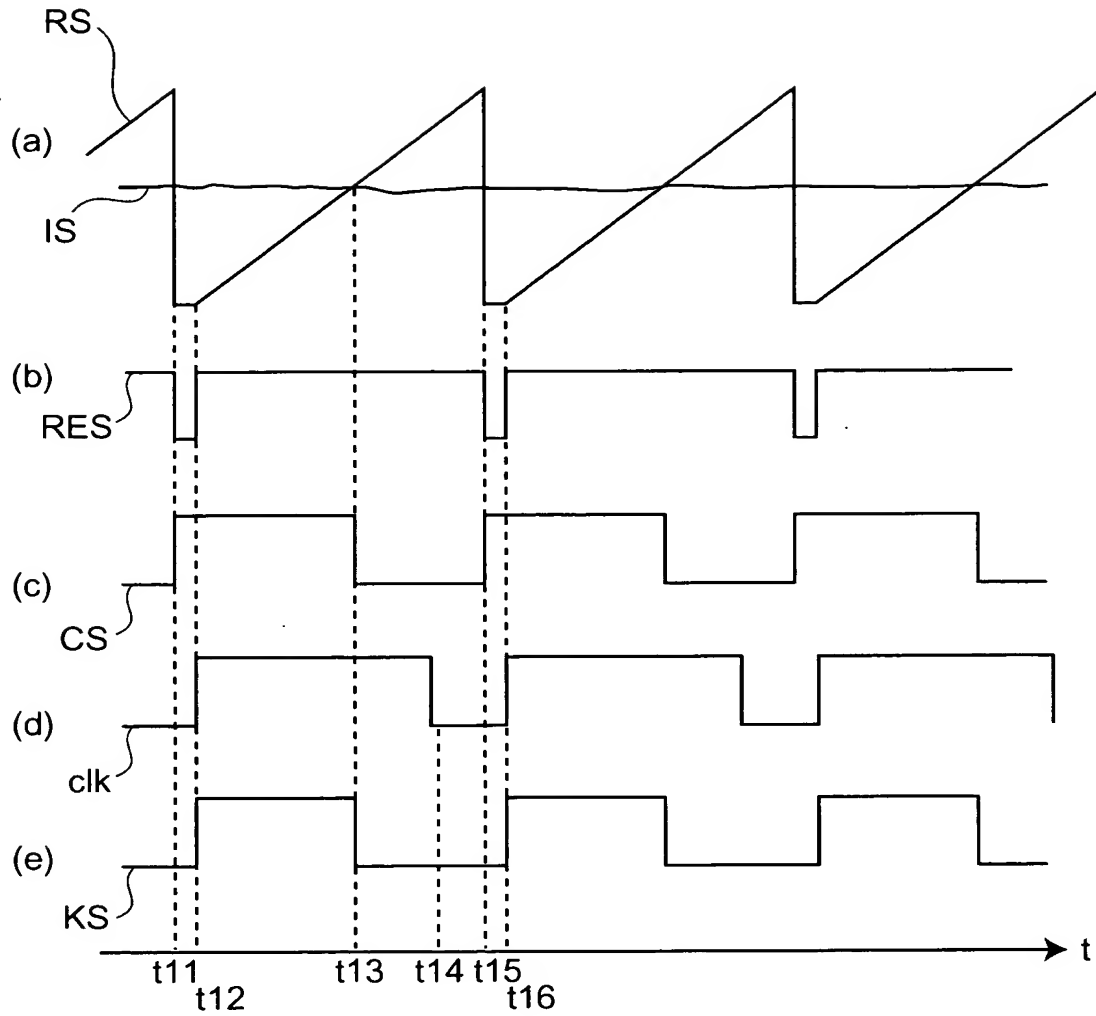
【図 18】



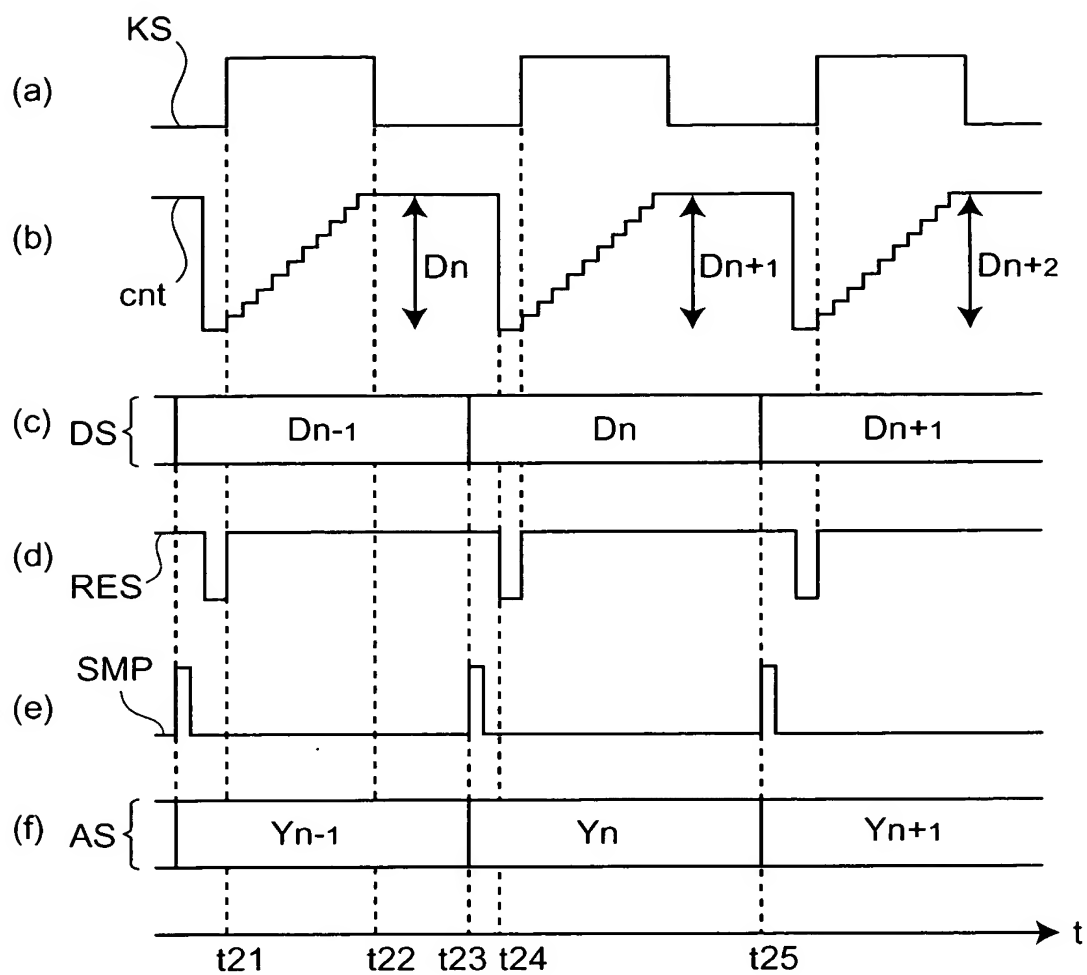
【図 19】



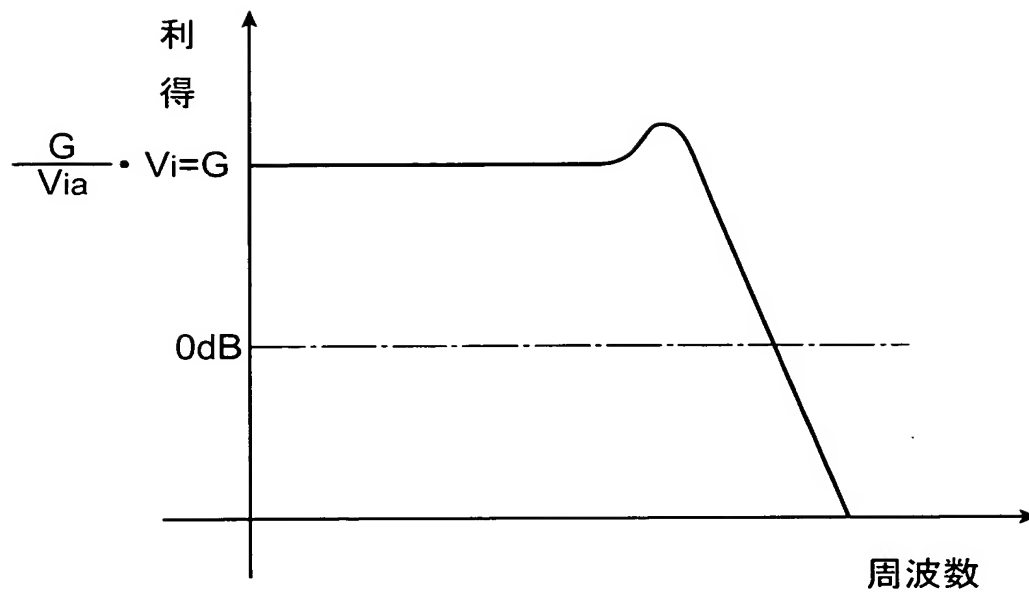
【図 20】



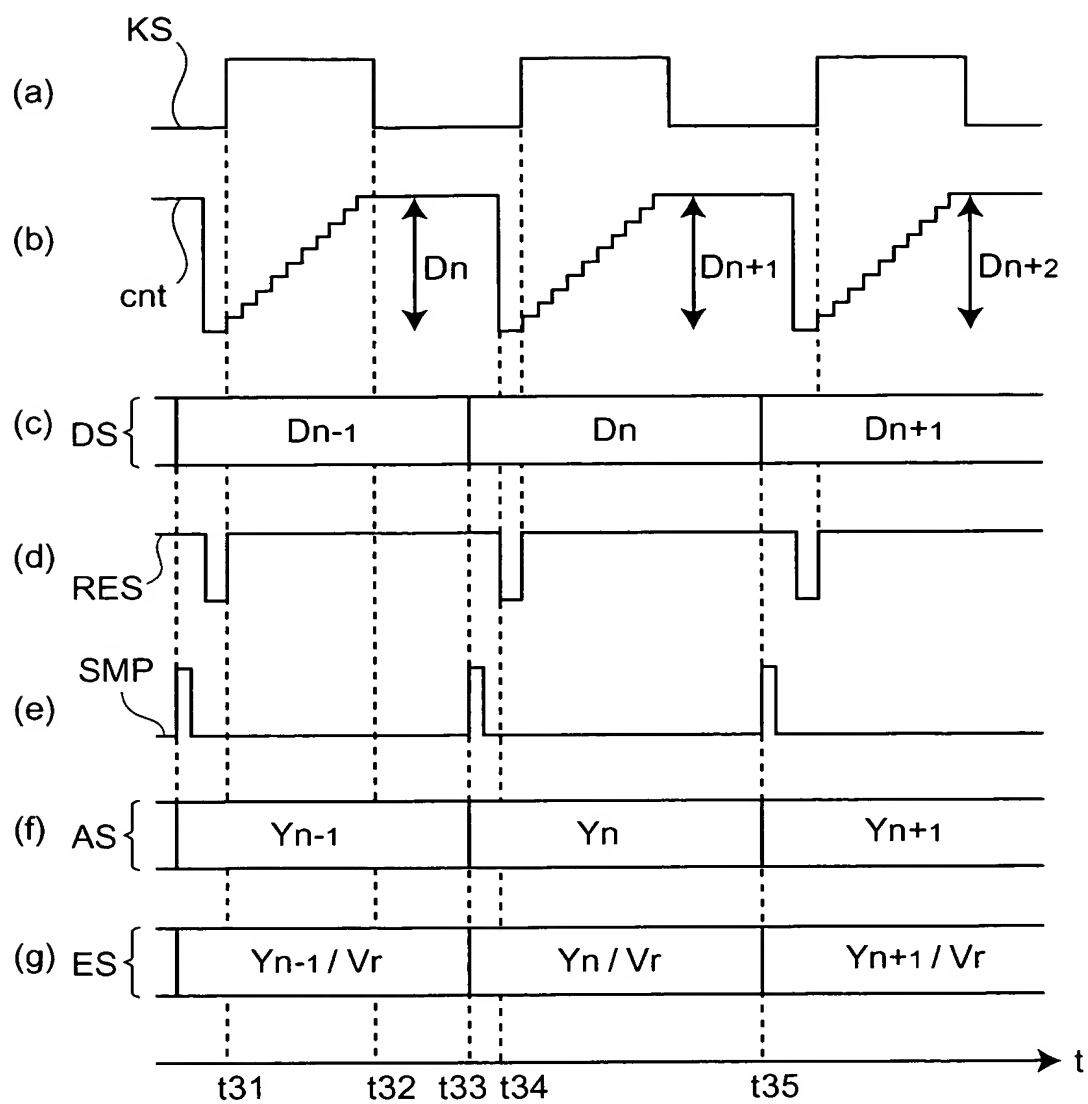
【図 21】



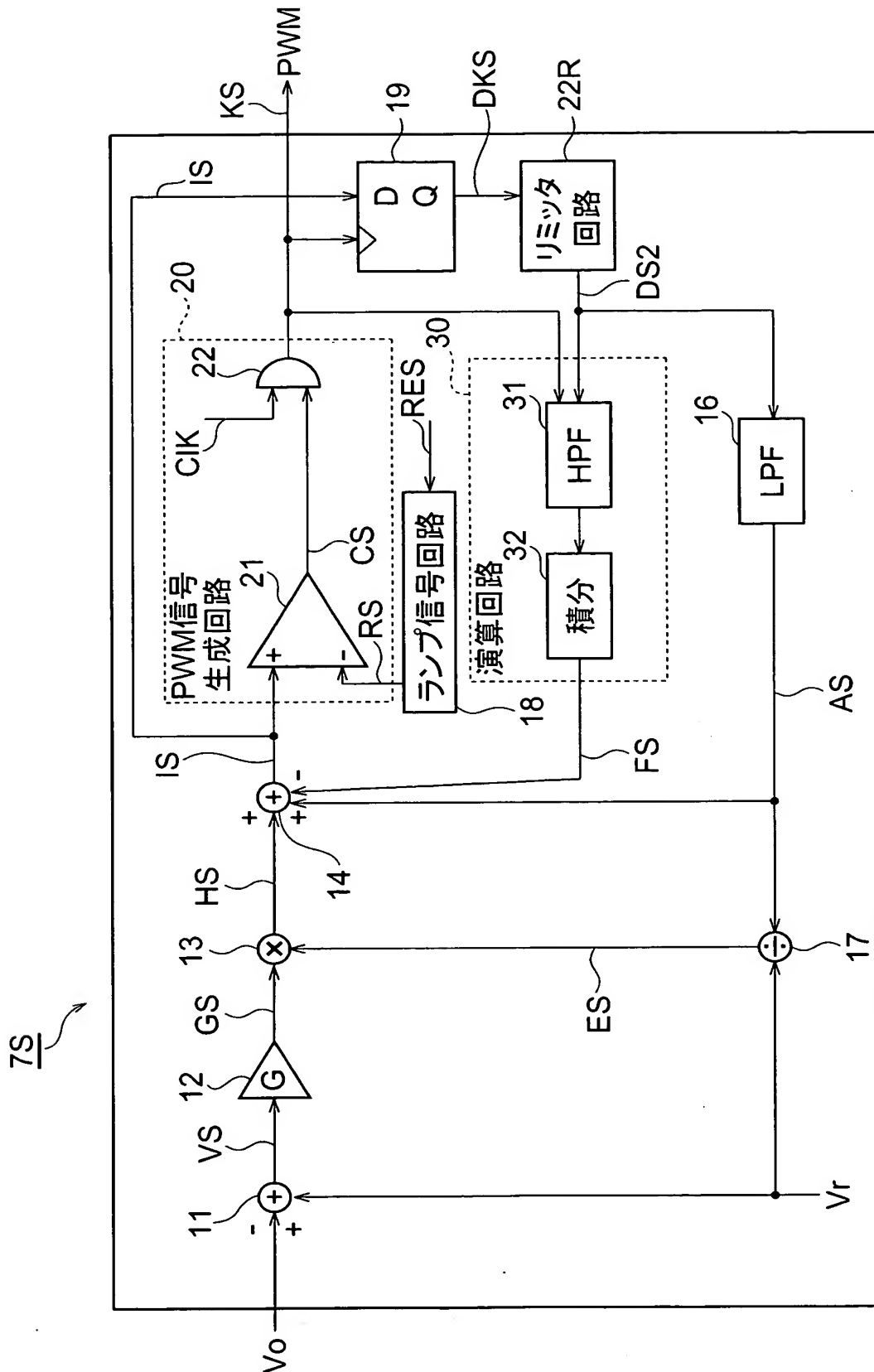
【図 22】



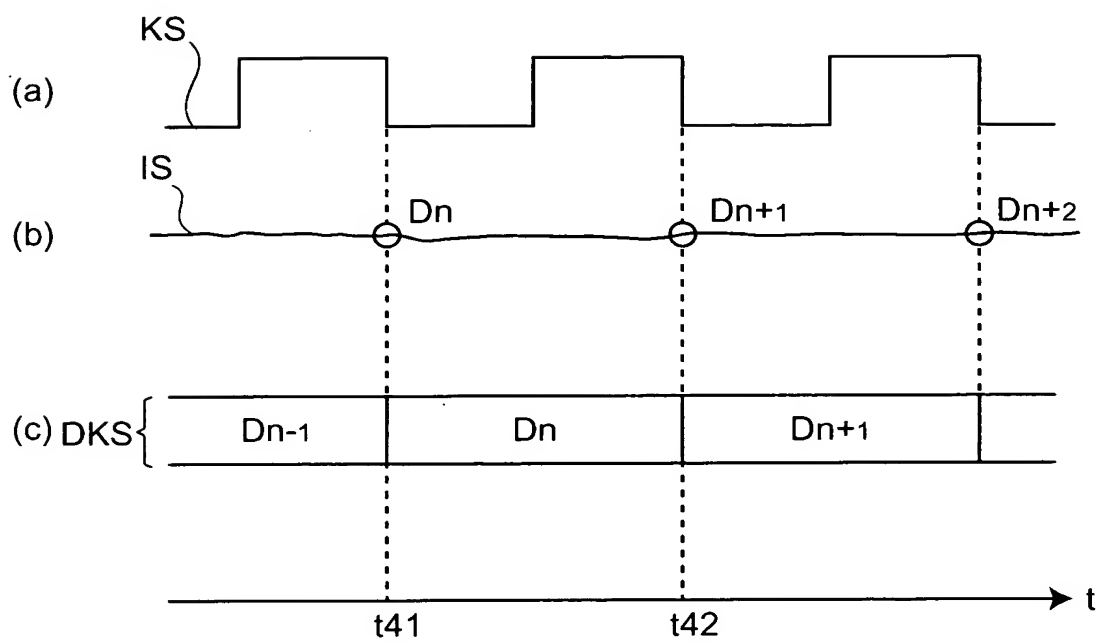
【図 23】



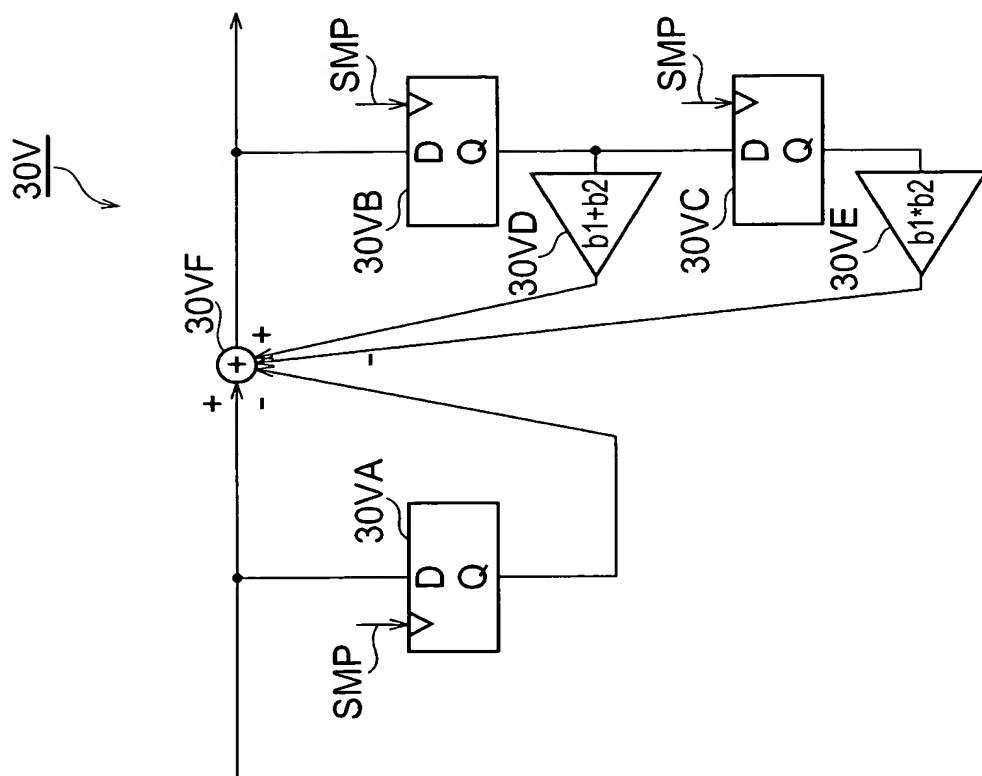
【図 24】



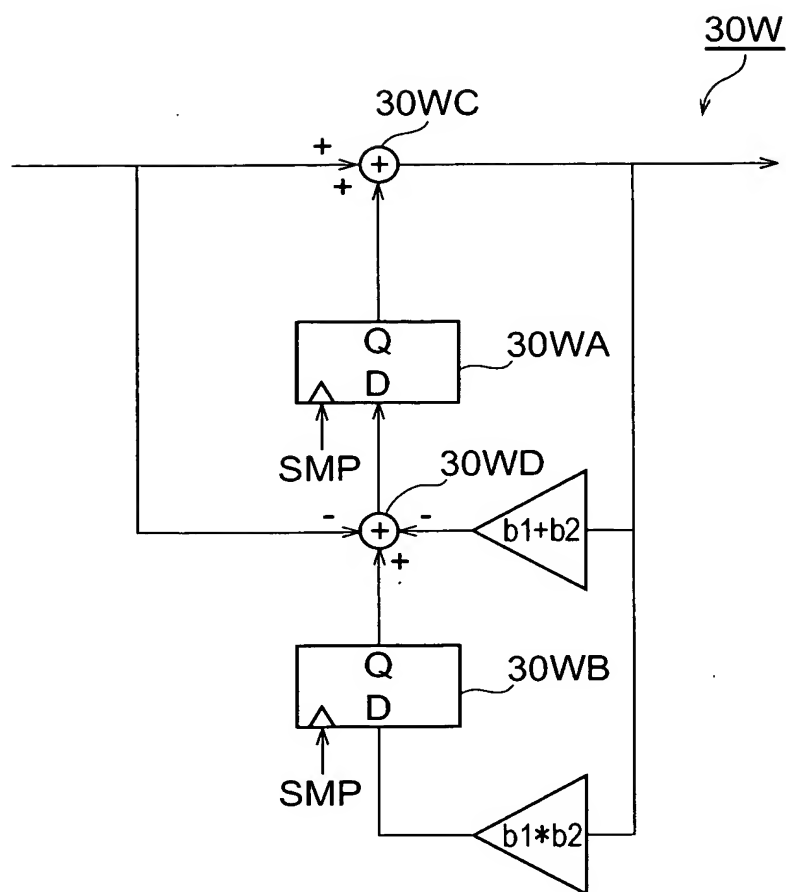
【図 25】



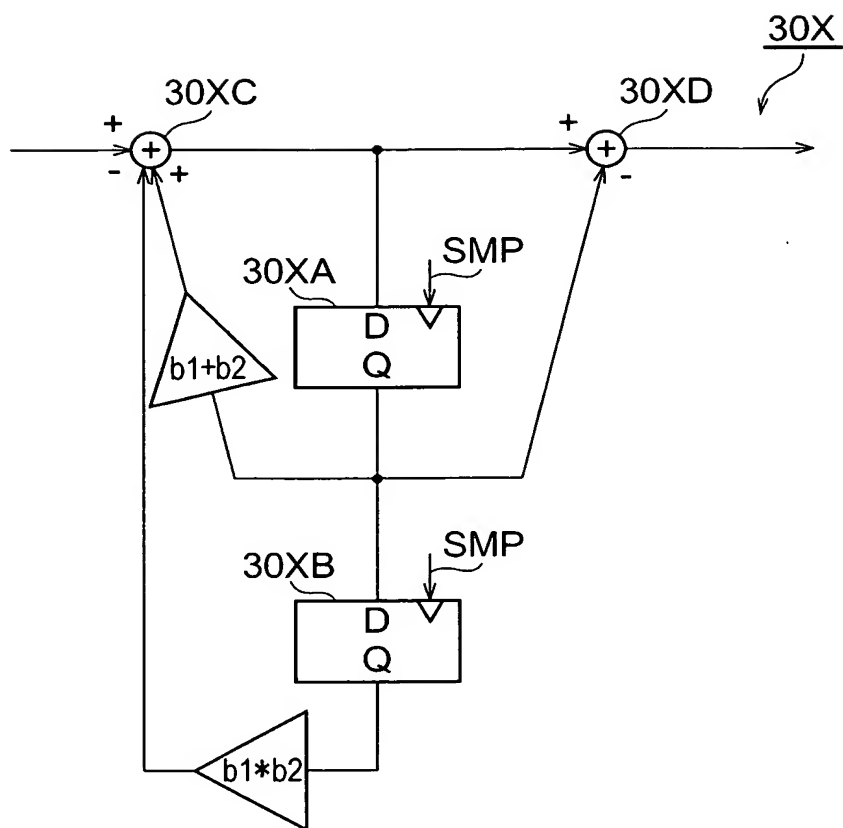
【图 2 6】



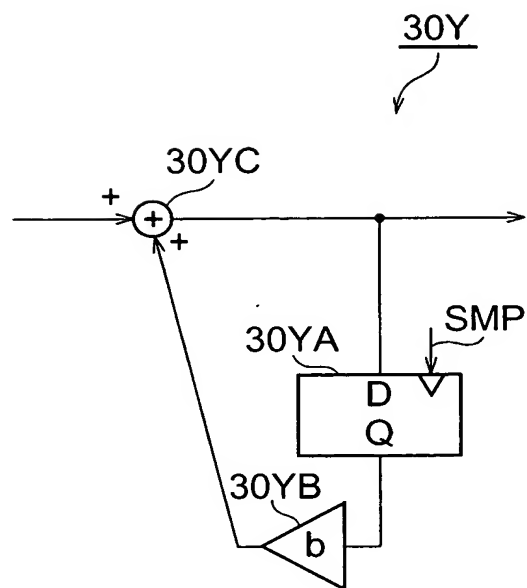
【図 27】



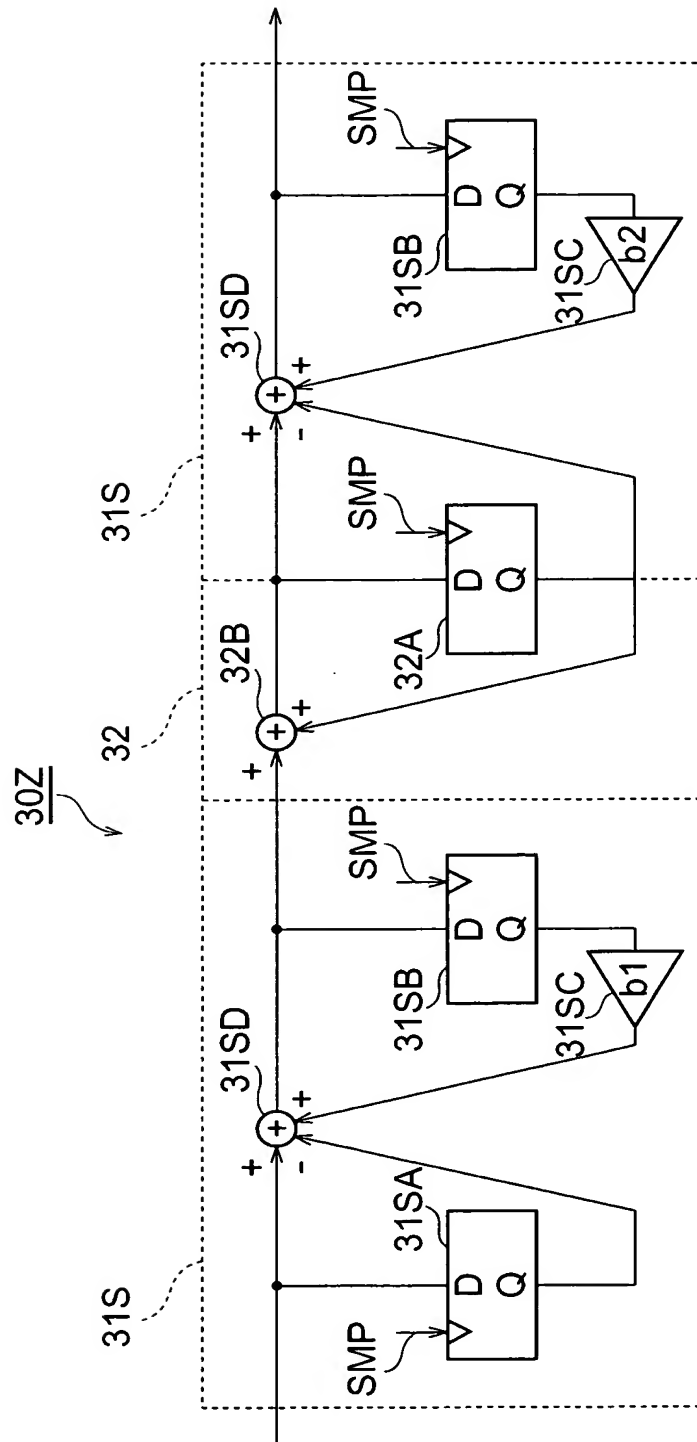
【図 28】



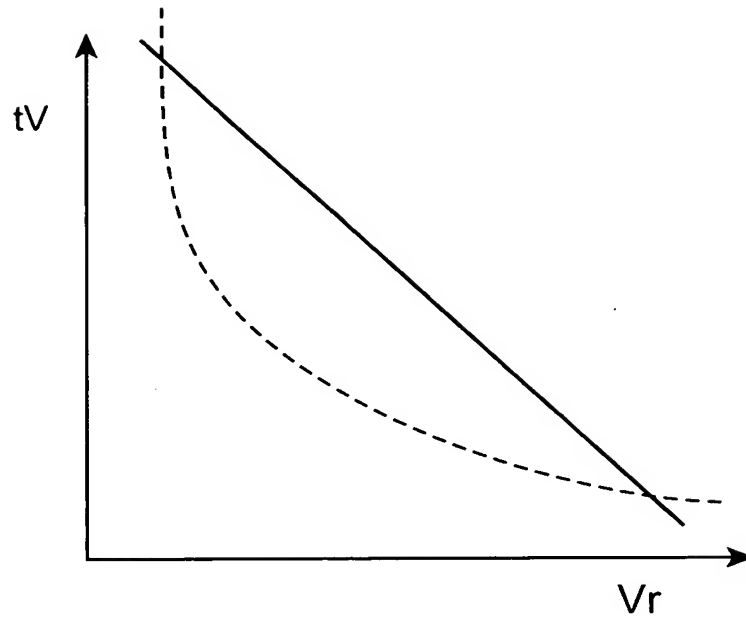
【図 29】



【図 30】



【図 31】



【書類名】 要約書

【要約】

【課題】 位相進みを実現することにより位相補償し、入力電圧や負荷電流が変化した場合でも安定した出力電圧を保障し、入力電圧が変化した場合でも系全体の利得を安定化する。

【解決手段】 加算器 11 は $(V_r - V_o)$ の値を示す信号 V_S を出力し、乗算器 12 は信号 V_S に基づいて $G(V_r - V_o)$ の値を示す制御信号 G_S を出力し、乗算器 12 は制御信号 G_S および除算器 17 から出力された信号 E_S (利得調整値) に基づいて制御信号 H_S を出力し、加算器 14 は制御信号 H_S 、LPF 16 から出力された信号 A_S (時比率の平均値) および演算回路 30 から出力された信号 F_S に基づいて信号 I_S を出力し、PWM 信号生成回路 20 は信号 I_S およびランプ信号回路 18 から出力されたランプ信号 R_S に基づいて PWM 信号 K_S を生成してこの信号 K_S をスイッチング電源装置に出力する。カウンタ 15 は PWM 信号 K_S のオン時間をカウントし、サンプル信号 SMP を受信した時点のカウント値を保持する。LPF 16 および演算回路 30 はカウンタ 15 から出力されたカウント値を示す信号 D_S に基づいて各々信号 A_S および信号 F_S を出力する。

【選択図】 図 2

特願 2 0 0 3 - 0 9 1 7 2 9

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 3 0 6 7]

1. 変更年月日 1 9 9 0 年 8 月 3 0 日
[変更理由] 新規登録
住 所 東京都中央区日本橋 1 丁目 1 3 番 1 号
氏 名 ティーディーケイ株式会社
2. 変更年月日 2 0 0 3 年 6 月 2 7 日
[変更理由] 名称変更
住 所 東京都中央区日本橋 1 丁目 1 3 番 1 号
氏 名 T D K 株式会社